

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

mask-less experimental manufacture method which can perform experimental manufacture without producing a photo mask and the advantage of the photo mask experimental manufacture method enabling direct use of the pattern information used in the experimental manufacture in the mass production. [MEANS FOR SOLVING PROBLEMS] In a common design environment usable for a photo mask-less process for creating an integrated circuit without using a photo mask according to pattern information and a photo mask process for creating an integrated circuit by using a photo mask according to the pattern information, according to the pattern information for experimental manufacture corresponding to the photo mask-less process and the photo mask process, an integrated circuit is experimentally manufactured without using a photo mask, evaluated, improved if necessary, and formally converted without adding improvement to the common pattern information, thereby generating a photo mask for mass production and using it.

(57) 要約: 【課題】 ホトマスクを生産せず試作を作成することができるといったホトマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったホトマスク試作方式の長所を併せ持つホトマスクレス試作方式とホトマスク試作方式を融合したホトマスクレス・ホトマスク融合方式を実現した集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システムを提供する。【解決手段】 パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス工程及びパターン情報に基づいてホトマスクを用いて集積回路を作成するホトマスク工程に用いることができる共用設計環境下でホトマスクレス工程及びホトマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をホトマスクを用いず作成し評価を経て必要に応じて改良を加え共通パターン情報を作成し、当該共通パターン情報に改良を加えることなく必要に応じて形式的変換を行って量産用のホトマスクを生成して使用する。

明 細 書

集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システム

技術分野

- [0001] 本発明は、集積回路の設計方法に関し、特に、レイアウト／パターン設計での集積回路の設計方法、並びに、この製造方法に関する設計支援プログラム及び集積回路設計システムに関する。

背景技術

- [0002] 集積回路の設計は、機能設計、論理設計、レイアウト／パターン設計からなる。機能設計で集積回路に搭載する機能を決定し所定の記述方法(機能図、ハードウェア記述言語(HDL)、論理式、真理値表、C言語等を用いたプログラムリスト)で機能仕様書等の機能設計情報を作成し、この作成した機能仕様情報に基づき論理設計で半導体技術を考慮してトランジスタやブロックなどの接続関係を示すネットリスト等の論理設計情報を作成し、レイアウト／パターン設計で論理設計情報に基づき量産用のパターン情報を作成する。レイアウト／パターン設計では、量産用のホトマスクパターンを作成するために、試作のチップを作成して評価解析するのであるが、試作作成にホトマスクを用いるか否かの違いで、2つの設計方式があり、ホトマスクを用いる方がホトマスク試作方式であり、ホトマスクを用いない方がホトマスクレス試作方式である。
- [0003] 前者のホトマスク試作方式は、論理設計情報に基づき試作用のパターン情報を作成し、このパターン情報に基づきホトマスクを作成しチップを完成させ、このチップに対して評価し、評価の結果所望の特性・歩留まりが得られない場合には設計をやり直しパターン情報を作成し直し、評価の結果が所望の特性・歩留まりが得られるまで繰り返し行われる方法である。
- [0004] 後者のホトマスクレス試作方式は、論理設計情報に基づき試作用のパターン情報を作成し、このパターン情報に基づきホトマスクを作成することなくチップを完成させ、このチップに対して評価し、評価の結果所望の特性・歩留まりが得られない場合には

設計をやり直しパターン情報を作成し直し、評価の結果が所望の特性・歩留まりが得られるまで繰り返し行われる方法である。ホトマスクを作成することなくパターン情報に基づいてチップを完成させる方法は、多種の方法が提案されているが、例えば、電子ビーム直接描画方式を実装した電子ビーム直接描画装置を用いて行われる。このホトマスクレス試作方式のメリットは、試作時にホトマスクが不要であって修正を何度しでも、高額なホトマスク費用が掛からないという点であり、微細化傾向の続くホトマスクの高騰に対する解決策として期待されている。

[0005] なお、ホトマスク試作方式及びホトマスクレス試作方式を適用した開発の流れそれぞれ図11または図12に示す。ホトマスク試作方式を適用した開発の流れは、顧客(Setメーカー)でシステム設計(ステップ101)をし半導体メーカーに対して試作発注を設計書を伴って行う(ステップ102)。顧客又は顧客の製品によってシステム設計がどの段階まで終了しているかは様々であり、前記論理設計も終わっている場合もあれば、機能設計のみ終わっている場合、要求仕様だけ決まっている場合もあり、それにより半導体メーカーに渡す設計書も異なる。設計書を受け取った半導体メーカーは、ホトマスク試作方式の設計環境となるEDAソフト、セルライブラリ、レイアウトルール、IP等の設計Toolを使用してLSI設計を設計書に基づき行ってパターン情報を作成する(ステップ103)。このパターン情報を用いてホトマスク作成装置を用いて試作用ホトマスクを作成する(ステップ104)。このホトマスクを光露光装置にセットしてウエーハ上にチップを作成し(ステップ105)、チップに対して各種評価を実施する(ステップ106)。評価の結果特性、歩留まり等の仕様要求を満たさない場合には、原因となった工程に戻る。評価の結果仕様要求を満たした場合には、半導体メーカーが顧客(Setメーカー)に対してWS(Working Sample)を納入し(ステップ107)、顧客(Setメーカー)はかかるWSを評価する(ステップ108)。評価の結果顧客(Setメーカー)が変更を要すると判断した場合には顧客システム設計に移行して再び試作・発注を行う。評価の結果顧客(Setメーカー)が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行い(ステップ109)、半導体メーカーは量産発注を受けた時の試作用ホトマスクと同一の量産用ホトマスクを用いて量産を行う(ステップ110)。製品を製造した後顧客(Setメーカー)にかかる製品を納品する(ステップ111)。

[0006] 次に、ホトマスクレス試作方式を適用した開発の流れは、顧客(Setメーカー)でシステム設計をし(ステップ201)半導体メーカーに対して試作発注を設計書を伴って行う(ステップ202)。設計書を受け取った半導体メーカーは、ホトマスクレス試作方式の設計環境(電子ビーム直接描画装置を試作用のチップ作成に用いた場合には、図12に示すように直接描画用の設計環境となる。以下、ホトマスクレス試作方式の一例である電子ビーム直接描画装置を用いた場合について説明することとする。)となるEDAソフト、セルライブラリ、レイアウトルール、IP等を使用してLSI設計を設計書に基づき行ってパターン情報を作成し(ステップ203)電子ビーム直接描画装置を用いてこのパターン情報に基づき直接描画してウエーハ上にチップを作成し(ステップ204)、チップに対して各種評価を実施する(ステップ205)。評価の結果特性、歩留まり等の仕様要求を満たさない場合には、原因となった工程に戻る。評価の結果仕様要求を満たした場合には、半導体メーカーが顧客(Setメーカー)に対してWS(Working Sample)を納入し(ステップ206)、顧客(Setメーカー)はかかるWSを評価する(ステップ207)。評価の結果顧客(Setメーカー)が変更を要すると判断した場合には顧客システム設計に移行して再び試作・発注を行う。評価の結果顧客(Setメーカー)が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行う(ステップ208)。半導体メーカーはホトマスク試作方式の設計環境となるEDA Tools、Cell Library、レイアウトルール、IP等を使用して量産発注を受けた時のパターン情報に基づき量産のための試作用ホトマスクを作成する(ステップ209)。このホトマスクを光露光装置にセットしてウエーハ上にチップを作成し、チップに対して各種評価を実施する(ステップ210)。評価の結果前記電子ビーム直接描画装置により作成されたチップと同一のものができない場合には、パターン情報又は試作用ホトマスクに対して修正を行う。評価の結果評価の前記電子ビーム直接描画装置により作成されたチップと同一のものができた場合には、半導体メーカーは試作用ホトマスクと同一の量産用ホトマスクを用いて量産を行う(ステップ211)。製品を製造した後顧客(Setメーカー)にかかる製品を納品する(ステップ212)。

発明の開示

発明が解決しようとする課題

[0007] 背景技術のホトマスクレス試作方式は上記に記載した通りで、確かに、試作時にはホトマスク費用が掛らずホトマスク試作方式と比べ全体として設計費用を低減させることはできるものの、試作時に直接ホトマスクを用いてチップを作成して評価をしておらず、すなわち、試作時に作成されたチップと量産時に作成されたチップとが一致せず、試作時に完成したパターン情報を量産用のパターン情報とするために、再び実際のパターン情報に基づいてチップを試作し評価する工程を所望の特性・歩留まりが得られるまで行う必要があり、費用、開発期間の面で必ずしも期待した程の効果が得られないという課題を有する。例えば、試作時に電子ビーム直接描画装置を用いてホトマスクを作成することなくパターン情報に基づいてチップを作成し評価を行ってパターン情報を完成させ、次に、この完成させたパターン情報に基づき実際にホトマスクを作成して光露光装置を用いてチップを作成し評価を行って量産用のパターン情報を作成しており、電子ビーム直接描画装置の特性と光露光装置の特性の相違から試作用のパターン情報とは別途量産用のパターン情報を試作用のパターン情報を改良して作成しなければならないという手間が生じる。ここで、試作用のパターン情報と量産用のパターン情報が形式的な変換であれば設計者が介することなく行われるので問題がないが、試作のチップを作成する装置の特性と量産のチップを作成する装置の特性とが異なり、試作のチップを作成する装置の特性のみを考慮して作成されたパターン情報を、量産のチップを作成する装置の特性を考慮したパターン情報に変換することは機械的に変換することが困難である。なお、ホトマスク試作方式の場合には、試作時からホトマスクを作成しており、ホトマスクを作成するためのホトマスクパターンとなっており、試作時のホトマスクパターンをそのまま量産用のホトマスクパターンとして用いることができる。

[0008] 本発明は前記課題を解決するためになされたものであり、ホトマスクを生産せず試作を作成することができるといったホトマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったホトマスク試作方式の長所を併せ持つホトマスクレス試作方式とホトマスク試作方式を融合したホトマスクレス・ホトマスク融合方式を実現した集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システムを提供することを目的とする。

[0009] また、本発明に関し、ホトマスクレス装置である直接描画装置の直接露光は、小さな電子ビーム($0.01\sim0.1[\mu\text{m}]$)でパターンを一筆書きのように走査しているため、自由なパターンが可能となっている反面、描画に時間がかかる問題を従来から有していた。具体的には、1ウエハー10[時間]以上、光露光マスク方式の10～100倍の時間を必要とする。この対策として、直接描画装置にブロックマスクを挿入して繰り返し使用頻度の高いパターン(セル等)をブロックとしてブロックマスクに形成する方法が採られている。図13にかかるブロックマスクを使用した直接描画装置の駆動説明図及びブロックマスクの正面図を示した。

[0010] 図13に基づく、照射された電子ビームはスリット102を通してブロック寸法(この図では $5[\mu\text{m}]\times5[\mu\text{m}]$)の大きさのビーム形状に成形されて、ブロックマスクの指定のブロックPijを通して、指定のパターンとなってPijに描かれたパターンをウエハー上に露光する。

[0011] ブロックマスクには約20ないし1000種のブロックパターン106(セル)が同じ寸法で並べられている。セルとして定義されるランダムパターン106は、このように同じ寸法でも良いが、配線パターンのようにラウター(配線ソフトウェア)で定義されるような、長方形のランダムパターンをブロック化するのは、このような同じ寸法の方式では何度もブロック露光で繰り返し同じ配線パターンを描画する必要があり、大変非効率となる。図14に一般的なLSIの配線パターンの部分正面図を示す。

[0012] したがって、集積回路の設計方法、集積回路の設計方法に用いる設計支援プログラム及び集積回路設計システムで使用するマスクレス装置で使用する有用なブロックマスク及びマスクレス装置自体を提供することも本発明の目的となる。

課題を解決するための手段

[0013] 本発明に係る集積回路の製造方法は、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス工程及びパターン情報に基づいてホトマスクを用いて集積回路を作成するホトマスク工程に用いることができる共用設計環境下でホトマスクレス工程及びホトマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をホトマスクを用いず作成し評価を経て必要に応じて改良を加え共通パターン情報を作成し、当該共通パターン情報に改良を加えることなく必要に

応じて形式的変換を行って量産用のホトマスクを生成して使用するものである。ここで、形式的変換とは、最終的に形成されるチップに対して同一性を保ちながら変換することをいい、最終的な形成されるチップの同一性が保たれない実質的変換とはこととなる。具体的には、ファイル形式を変換するものであったり、後記するOPC処理も形式的変換に該当する。また、試作を作成した後に、顧客の要請があれば、かかる要請に応じて共通パターン情報を修正し、修正したパターン情報を共通パターンとして保持し、試作を再び顧客に納める。ホトマスクレス工程及びホトマスク工程における描画には数十工程あり、ホトマスクレス工程であっても半導体素子のある複雑な階層部分に対する工程で電子ビーム直接描画装置が用いられて描画され、他の工程では光露光装置が用いられて描画されている。ここで集積回路の設計方法としているが、設計方法と製造方法とを画一的に区分けできない部分もあるので、設計方法に製造方法を含む意味で使用する場合がある。ここで、集積回路の製造方法としたが、より詳細には、製造工程中の設計方法であるということができる。

[0014] また、本発明に係る集積回路の製造方法は必要に応じて、前記共用設計環境は、集積回路の製造に必要なEDA(Electronic Design Automation)ソフト、検証ソフト、セルライブラリー、IP(Intellectual Property)、OPC(Optical and Process Correction)処理ソフト等の設計Toolからなる設計環境を、前記ホトマスクレス工程及びホトマスク工程で共用可能な形式で構築してなるものである。ここで、集積回路の製造方法としたが、より詳細には、製造工程中の設計方法であるということができる。

[0015] また、本発明に係る集積回路の製造方法は必要に応じて、複数の異なる集積回路、同一機能の集積回路ながら複数のパラメータを条件に持った複数の集積回路又はこれらの集積回路の組み合わせのパターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成するものである。ここで、集積回路の製造方法としたが、より詳細には、製造工程中の設計方法であるということができる。

[0016] また、本発明に係る集積回路の製造方法は、外部要求に応じて前記作成したウエーハ上の複数のチップのうち指定されたチップに係る共通パターン情報に基づきホトマスクを作成し、当該ホトマスクを用いてチップを大量生産するものである。ここで、外部要求とは、主にSetメーカーの量産発注であり、電気通信回線を用いて行われる場

合等が該当するが、望ましくは、量産発注を受けて自動的に大量生産に移行するシステムを構築する方がよい。

[0017] また、本発明に係る集積回路設計支援プログラムは、コンピュータを、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス装置のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させるものである。このように本発明においては、作成される設計情報を、ホトマスクレス装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させるので、ホトマスクレス装置及びホトマスク装置のどちらにも同一のパターン情報で用いることができ、また、形式的にパターン情報が異なっている場合にも、少なくとも最終的なウエーハ上に形成されるチップが同一となり、ホトマスクレス装置のみを使用する集積回路開発、ホトマスク装置のみを使用する集積回路開発、並びに、ホトマスクレス装置及びホトマスク装置を使用する集積回路開発にそのままパターン情報を用いることができ、様々な開発方法を用いることができる。ここで、ホトマスクレス装置は具体的には電子ビーム直接描画装置であり、ホトマスク装置は具体的には光露光装置である。

[0018] また、本発明に係る集積回路設計支援プログラムは、前記変換手段がホトマスクレス装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリを用いてパターン情報に変換するものである。このように本発明においては、前記変換手段がホトマスクレス装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリを用いてパターン情報に変換するので、ホトマスクレス装置のパターン情報とホトマスク装置のパターン形状が略同一となつてどちらの装置を用いても同じチップを作成することができ、特に、ホトマスクレス装置が電子ビーム直接描画装置の場合には共用セルライブラリを用いて設計情報をパターン情報にしており、ブロック露光を行える回数が増えスループットの向上を望める。

[0019] また、本発明に係る集積回路設計システムは必要に応じて、前記集積回路設計支

援プログラムがコンピュータに読込まれることによる集積回路設計支援装置と、前記ホトマスクレス装置及びホトマスク装置とを備え、当該集積回路設計支援装置がパターン情報又はホトマスクレス装置に入力可能な形式のパターン情報に準じる準パターン情報をホトマスクレス装置に出力し、ホトマスクレス装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたホトマスクをホトマスク装置が用いてチップを量産するものである。このように本発明においては、集積回路設計支援装置がパターン情報又は準パターン情報をホトマスクレス装置に出力し、ホトマスクレス装置が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたホトマスクをホトマスク装置が用いてチップを量産するので、ホトマスクレス装置を用いて高価なホトマスクを用いることなく低コストで試作を作成し、必要に応じて改良を加え要求仕様を満たした試作となって顧客から量産の指示を受けた場合に、かかる要求仕様を満たした試作に係るパターン情報を用いて形式的変換をする以外は評価をすることなくホトマスクを作成して量産工程に移行することができ、通常ホトマスクレス装置を用いた場合に試作段階の評価と量産段階の評価が必要になるにも拘らず不要となって、全体としてコストを著しく低減させることができると共に、開発期間も短縮することができる。

[0020] また、本発明に係る集積回路設計システムは必要に応じて、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するものである。このように本発明においては、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するので、ホトマスク装置にとってみれば不必要な繋ぎ目処理が施されたパターン情報となっているが、ホトマスクレス装置で安価にチップを作成して評価済みのチップに係るパターン情報に基づいてホトマスクを作成し、かかるホトマスクを用いてそのまま量産に移行することができ、コスト低減が図れると共に、開発期間の短縮が望める。

[0021] また、本発明に係る集積回路設計システムは必要に応じて、前記変換手段が変換

したパターン情報をさらにホトマスク装置用にOPC処理を施したパターン情報に変換するものである。このように本発明においては、前記変換手段が変換したパターン情報をさらにホトマスク装置用にOPC処理を施したパターン情報に変換するので、評価済みのチップに係るパターン情報と同一のパターン情報ではないがかかるパターン情報を用いて作成されたホトマスクを使用して作成されたチップが評価済みのチップと同一となるため評価することなしに大量生産することができる。

[0022] また、本発明に係る集積回路設計システムは必要に応じて、前記ホトマスクレス装置が複数の前記パターン情報又はホトマスク装置に入力可能な形式のパターン情報に準じる準パターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成するものである。このように本発明においては、前記ホトマスクレス装置が複数の前記パターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成しているので、ホトマスクレス装置によれば同一ウエーハ上にいくつもの種類のチップを形成することができ、高価なウエーハ上に同一会社の複数種類のチップを複数社分形成してチップ形成のコスト削減することができる。

[0023] また、本発明に係る集積回路設計システムは必要に応じて、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたホトマスクをホトマスク装置で用いてチップを量産するものである。このように本発明においては、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたホトマスクをホトマスク装置で用いてチップを量産するので、共通パターン情報を作成していれば後はほとんど人を介在させることなく、外部要求に応じて自動的に所望のチップを量産することができる。外部要求は本システムにネットワークを介して接続する複数の端末からの発信により行われ、システムはかかる外部要求を受け、人を介在させることなく、迅速にチップの量産に移行することができ、スループットの向上を望める。この外部要求には、生産する集積回路を特定する情報の他、外部要求元を特定する情報、量産するチップ数、生産期限、納入場所を特定する情報、価格を含ませることができる。さらに好ましくは、システム側から製造状況を接続する端末にリアルタイムに発信することもできる。ホトマスクレス装置により試作を完成させた後からの時間を計測し、かかる試作に係る端末に随

時時間を報告することで、外部要求を促すこともできる。ホトマスク装置の性能に基づいて増産対応可能数を端末に報告することもできる。これら端末は顧客の端末を想定しているが、システムの利用者側も認識する必要があるため利用者側に報知するための機器(端末、システムに接続するディスプレイ)を設けることが好ましい。

[0024] また、本発明に係るブロックマスクは、ホトマスクレス装置でブロック露光に使用されるブロックマスクであって、ブロックを構成する辺の長さが異なるブロックが複数形成されたものである。このように本発明においては、従来同じサイズの正方形のブロックのみが複数形成されていたブロックマスクとは異なり、例えばブロックが四角形であれば他のブロックの辺と長さの異なるブロックが複数形成されているので、同じサイズの正方形のブロックに限定されることなく、ブロック寸法を自由にとって様々なブロックをブロックマスク上に形成し、かかるブロックマスクを使用してブロック露光することで効率的に所望のパターンを描画することができる。ここで、通常ブロックは四角形であり、辺の長さが異なるブロックとしては、長方形を用いることが好ましい。

[0025] また、本発明に係るブロックマスクは必要に応じて、ブロックが長方形に形成されている場合に、ブロックの長辺及び／又は短辺が配線最小ピッチ単位の整数倍の長さを有するものである。このように本発明においては、ブロックが配線最小ピッチを単位にして構成される長方形であるので、ブロックマスク上に効率的に形成できると共に、ブロック露光時にビームの成形、走査が容易となって迅速にパターンを描画することができる。

また、本発明に係るブロックマスクは必要に応じて、形成されている複数のブロックの短辺の長さが同じで、長辺の長さが異なるものである。このように本発明においては、ブロックマスク上のブロックの短辺の長さが統一され、ブロックの長辺が異なるので、ビームの成形、走査がブロックの長手方向のみとなって迅速にパターンを描画することができる。ここで、実際の配線パターンも配線幅は同じで長さだけが異なるものが多数存在するため、多くのパターンに対して使用でき汎用性も高い。

[0026] また、本発明に係るブロックマスクは必要に応じて、ブロックマスクの縦方向に沿って長辺が形成されているブロックを配置した縦長ブロック領域と、ブロックマスクの横方向に沿って長辺が形成されているブロックを配置した横長ブロック領域とを備える

ものである。このように本発明においては、縦長ブロック領域と横長ブロック領域とを備え、それぞれの領域に長手方向を合わせてブロックを配置するので、それぞれの領域に対して高密度にブロックを配置することができ、また、ブロック自体の形成も容易である。特に、ブロックマスクの対角線を境にし、縦長ブロック領域と横長ブロックを備えることで、より高密度にブロックを形成することができる。さらに、実際の配線パターンでは、半導体素子におけるある領域では横方向の配線パターンが集中し、ある他の領域では縦方向の配線パターンが集中しているため、ビームの成形、走査、ブロックの交換にかかる時間を最小限に抑え、迅速にパターン描画することができる。

[0027] また、本発明に係るホトマスクレス装置は、ブロック露光時に照射されるビーム形状を任意の長方形又は楕円形に変形する手段を備えるものである。このように本発明においては、ビーム形状を長細く変形する手段を備えるので、従来のサイズが同じであるブロックとは異なり、サイズが様々なブロックが形成されているブロックマスクを使用しており、かかるブロックマスクに対応した効率的なブロック露光を行うことができる。具体的に、変形する手段としては、例示として、スリットを可変にしたり、デフレクターで電圧コントロールすることが挙げられる。

[0028] また、本発明に係るホトマスクレス装置は必要に応じて、ブロック露光時に照射されるビーム形状を保ったまま、形成されたブロックの長辺方向に走査するものである。このように本発明においては、ビーム形状を保形し、一方向に走査するので、迅速にパターンを形成することができる。さらに、ブロック露光時に使用するブロックマスク中の全てのブロックの短辺の長さが同じか、異なるものが存在してもそれ以下であれば、ビーム形状を成形する手段を有しなくてよいし、また、かかる成形する手段を有していた場合にでも使用しないため迅速にパターンを形成することができる。但し、当然であるが、成形して走査してもよい。

[0029] また、本発明に係るホトマスク装置は必要に応じて、ブロック露光時に複数のビームを一のブロックに対して長手方向に並列させて照射するものである。このように本発明においては、複数のビームを用いて同一のブロックに対して照射するので、迅速にパターンを描画することができる。

また、本発明に係るホトマスク装置は必要に応じて、一のブロックを長手方向に照

射するビーム数分に等間隔に分割し、分割した部分にそれぞれのビームを照射して走査させるものである。このように本発明においては、それぞれのビームが同一のブロックを等間隔分走査して照射するので、重複したビーム照射となって誤ったパターン描画することなく、またビーム照射に無駄がなく、迅速にパターンを描画することができる。ここで、ビームの走査方向は、通常は同一方向であるが、逆方向に走査することもできる(すなわち、2つのビームであれば、端から中央方向に走査させることができる)。

[0030] なお、上記の発明の説明は、本発明に必要な特徴部を全てを列挙したものではなく、場合によってはこれらの特徴部の集合のサブコンビネーションも発明となりうる。

また、本発明に係る集積回路の製造方法は、セルライブラリ中の機能もしくは性能が異なる複数のセル間で、同じ露光工程に該当する構成パターンを動作に影響させることなく同一化したセルを作成し、当該作成したセルをセルライブラリに登録し、当該セルライブラリに基づきパターンを形成したブロックマスクを用いてブロック露光を行うものである。このように本発明においては、セルライブラリ中の同じ露光工程に該当する構成パターンが、動作を変えることなく同一化し、これに基づいてブロックマスクにパターンが形成されているので、このブロックマスクを用いたブロック露光によりさらに多くの領域を露光することができ、描画時間を短縮化することができる。さらに、前記ホトマスクレス工程及びホトマスク工程を組み合わせた集積回路の製造方法に、このようなブロックマスクのブロック露光を適用することで、より迅速且つ効率的に試作を製作し、集積回路の大量生産に移行することができる。ここで、動作に影響させることなくとしたが、完全に動作に影響を与えない他、許容できる程度の影響があってもよい。例えば、電気出力レベルが若干低下するが、出力としては問題ないというケースが想定される。さらにこの場合に、出力低下を補うために増幅器を加えた構成にして変更させることもでき、これは、構成パターンを同一化するために回路構成を変えるというアプローチである。

[0031] また、本発明に係る集積回路の製造方法は、CMOS半導体用のセルライブラリにおいて、1個のN型Tr.と1個のP型Tr.から構成される1入力Gateのセルをセルの基本単位とし、当該前記1入力Gateの基本セルの構成パターンからなるN入力Gateのセルを

登録したセルライブラリに基づきパターンを形成したブロックマスクを用いてブロック露光を行うものである。このように本発明においては、N入力Gateのセルが1入力Gateの構成パターンからなり、このセルが登録されたセルライブラリからパターンを形成したブロックマスクを用いてブロック露光を行っており、ブロックマスク上にはたとえば2入力Gateのセル専用の構成パターンのパターンはなく1入力Gateの構成パターンのパターンのみ存在し、2入力Gateのブロック露光時にはブロックマスク上の1入力Gateの構成パターンのパターンをブロック露光してパターンが基板のレジストに転写され、転写する必要があるパターンの殆どをブロックマスク上に形成することができ、時間を要する電子ビームによる描画が必要最小限で済み、描画時間のスループットを向上させることができる。

また、本発明に係る集積回路の製造方法は必要に応じて、ブロックを構成する辺の長さが異なるブロックが複数形成されたブロックマスクを用いるので、ブロックマスクのブロックによる制限が緩くなり、セルの構成パターンをブロックマスクにパターンとして形成することができ、従来ブロック化できなかった構成パターンでもブロック化することができ、より多くの領域をブロック露光することができ、描画時間を大幅に改善することができる。

発明を実施するための最良の形態

[0032] (本発明の第1の実施形態)

本発明の第1の実施形態に係る集積回路設計システムについて図1ないし図7に基づき説明する。図1は本実施形態に係る開発工程の流れを示すブロック図、図2は本実施形態に係る集積回路設計システムのシステム構成図、図3は本実施形態に係る集積回路設計システムの共用設計環境の構成図、図4は本実施形態に係る繋ぎ目処理の説明図、図5は本実施形態に係るOPC処理の説明図、図6は本実施形態に係る共用セルライブラリの説明図、図7は本実施形態に係る共用セルライブラリの説明図である。

[0033] 本実施の形態では、主にシステムについて説明するが、当業者であれば明らかな通り、本発明はコンピュータで使用可能なプログラムとしても実施できる。そうすると、本発明は、ハードウェアとしての実施形態、ソフトウェアとしての実施形態又はソフトウ

ウェアとハードウェアとの組合せの実施形態を採ることができる。プログラムは、ハードディスク、CD-ROM、DVD-ROM、光記憶装置又は磁気記憶装置等の任意のコンピュータ可読媒体に記録できる。

[0034] 本実施形態に係る集積回路設計システムは、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス装置10のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有する集積回路設計支援装置30と、前記ホトマスクレス装置10及びホトマスク装置20とを備え、集積回路設計支援装置30がパターン情報をホトマスクレス装置10に出力し、ホトマスクレス装置10が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたホトマスクによりホトマスク装置20が用いてチップを量産する構成である。なお、集積回路(Integrated Circuits)は、LSI(Large Scaled IC)等の大規模集積回路を含む。

[0035] ホトマスク装置20は、パターン情報に基づいたホトマスクを用いて集積回路を作成する光露光装置21のことである。光露光装置21のパターン特性の一つとしては、図5(a)のホトマスクパターンのホトマスクを用いて光露光装置21により光露光を行うとホトマスクパターンの四隅が崩れた同図(a)の完成ウエーハ形状となる。これは光露光装置に用いる光がホトマスクを透過する場合、光の波長による回折が原因である。このため光露光装置を行う場合には所望の完成ウエーハ形状となるように崩れる部分が生じる部分に、かかる崩れが生じないように予め補うためのパターンを形成していた。具体的には、図5(b)の左端のホトマスクパターンに、次のホトマスクパターンを重ね合わせたさらに次のホトマスクパターンを用いることで完成ウエーハ形状としていた。このように通常のパターンに補うためのパターンを形成してパターン情報に変換することをOPC処理と呼ぶ。一方、ホトマスクレス装置10の場合には、ホトマスクを用いていないため、かかる崩れる部分が生じることはなく崩れを防止するためのOPC処理は行われていない。逆に、崩れを防止するためのOPC処理をすることにより想定したパターンと異なる完成ウエーハ形状となる。

[0036] ホトマスクレス装置10は、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するものであり、例えば電子ビーム直接描画装置11が該当する。電子ビーム直接描画装置11のパターン特性の一つとしては、電子ビームのスキャン幅に制限があるため1列スキャンを行った後に次の列をスキャンするときに繋ぎ目が生じる(図4(a)参照)ということである。この繋ぎ目が図4(b)のようにゲート電極形成部分に形成される場合にはトランジスタとしての性能に影響を与えるため不具合が生じる可能性が多分にある。一方、図4(c)に示すようにゲート電極形成部分に繋ぎ目を形成することなく配線部分に繋ぎ目を形成する場合には、配線が精度をそこまで要求することなく正常に動作することができるため、不具合が生じる可能性は略ない。したがって、このようにアクティブ領域に繋ぎ目が形成されないようにパターン情報を作成する繋ぎ目処理が電子ビーム直接描画装置11にとっては肝要である。一方、光露光装置21の場合には電子ビームを用いて一括露光するのであってスキャンするわけではないので、繋ぎ目は形成されず繋ぎ目を考慮した繋ぎ目処理を施したパターン情報は必要ない。なお、ホトマスクレス装置10としては、電子ビーム直接描画装置11以外に、例えば、電子線の代わりにレーザービーム(Lase Beam)や光をスキャンしてウエーハ上に直接描画する原理を用いたレーザービーム直接描画装置を用いることもできる。この他の原理を用いるものであってもホトマスクを用いることなく、パターン情報に基づき集積回路を作成できる装置であればホトマスクレス装置10として用いることができる。特に、最近では、電磁波に弱く、専用のレジストの形成が難しい電子線の代わりに、かかるデメリットのないミラーデバイスをを用いた光による描画を行う装置が用いられ始めようとしている。かかる装置もホトマスクレス装置となる。

[0037] また、電子ビーム直接描画装置11は、光露光装置21に比べスループットが非常に悪いので、繰り返しパターンからなるスタンプを電子ビームで描画するブロック露光を用いる。このブロック露光に関して電子ビーム直接描画装置11のパターン特性の一つとしては、ブロック露光で形成する部分が増加する程スループットが向上するということである。ブロック露光は別名セルフプロジェクションとも呼ばれており、繰り返し使用されるセル単位を予めブロックマスクに描いておき、このブロックマスクを繰り返し露光する方式である。

[0038] 現状ホトマスク装置用のセルライブラリが用意され、このホトマスク装置用のセルライブラリを用いて作成したパターン情報を電子ビーム直接描画装置に用いており、電子ビーム直接描画装置用のセルライブラリはほとんど存在しなかった。ホトマスク装置用のセルライブラリは、当然電子ビーム直接描画装置のブロック露光のことをまったく考慮していないため、最小レイアウトルールを遵守しながら最小パターンとなるようにパターン構成図が設計されているのみである。ここで最小レイアウトルールとは、セルパターンをレイアウトする場合の最小寸法のルールをいい、例えば、ソース・ドレイン、ゲート、スルーホール、AI配線幅等の最小寸法、加えて、スルーホールゲートの最小スペース等の項目について、各製造工程毎に決められているルールである。このためパターン構成図が細かい違いだけで多種なものが用意され、このようなパターン構成図からなるセルライブラリを用いてパターン情報を作成することからまったくブロック露光には適さないパターン情報となる。電子ビーム直接描画装置11に搭載できるブロック露光のためのホトマスクには制限があり、ブロック露光できる種類の数が制限される。したがって、すべてのパターンをブロック露光することはできない。このため折角スループット向上のためのブロック露光が電子ビーム直接描画装置に用意されているものの十分な効果が得られていない。十分なスループットの向上を目標とするためには、ブロック露光を考慮した電子ビーム直接描画装置用のセルライブラリが必要となる。一方、光露光装置の場合には光を用いて一括光露光するのであってスキャンするわけではないので、十分なスループットを備えている。

[0039] 前記集積回路設計支援装置30は、集積回路の設計情報を、ホトマスク装置10のパターン特性及びホトマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有し、設計環境を担うものの1つである。設計環境は、従来から色々な形式で提案されてきており、構成要素としてEDA (Electronic Design Automation)ソフト、検証ソフト、セルライブラリ、IP(Intellectual Property)34、OPC (Optical and Process Correction)処理ソフト等を例示することができる。図3に示すように、一般的には設計者は設計情報に基づきEDAソフトを用いて各工程の成果物(パターン情報等)を作成する。汎用回路の集合であるIP34及びパターン構成図の集合であるセルライブラリは、通常EDAソフトを使って使用される。これらの設計環境の

構成要素とは別に設計環境の構成要素として集積回路設計支援装置30が実装されたり、EDAソフト32の中の一機能として実装されたりする場合もある。

[0040] 前記変換手段31は、設計情報をパターン情報に変換するのであるが、光露光装置21及び電子ビーム直接描画装置11両用の両用セルライブラリ33を用いて変換する。この両用セルライブラリ33は、従来のホトマスク装置用のセルライブラリとは異なり、ブロック露光を考慮した電子ビーム直接描画装置11用のセルライブラリと略同一である。略同一としたのは、光露光装置21の制限で必ずパターン構成図をあるパターンとしなければならない場合が想定され、その場合には厳密に電子ビーム直接描画装置用のセルライブラリと同一ではないからである。この両用セルライブラリ33を用いることにより、光露光装置21にとっては若干冗長なパターン情報になることが予想されるが、ブロック露光によるスループット向上の効果に比べれば小さな悪因にすぎない。というのは、トランジスタ自体の微細化により半導体の集積率が著しく向上していった現状を勘案すればパターンの若干の大小により集積回路全体として受ける影響が些細なものであることは明らかであろう。ホトマスク装置20用のセルライブラリと共用セルライブラリ33との具体的な比較例を示したのが図6である。全体図面の行ではホトマスク装置20用のセルライブラリは3種類のパターン形成を有し、共用セルライブラリ33もそれに対応する3種類のパターン形状を有している。この全体図面ではホトマスク装置20用のセルライブラリのパターン形状は共用セルライブラリのパターン形状に比べコンパクトに形成されている。しかし、パターン形状を構成するソース・ドレインパターン、ゲート・パターン、スルーホールパターン及び配線パターンのパターン構成図(セルの構成要素である構成パターン)に分けて見ると(実際はこれ以外にウェル、多層配線等層数は15ないし50層にもなるが、ここでは説明の便宜のため4層のみとしている)、ホトマスク装置20用のセルライブラリが12種類のパターン構成図を要するのにも拘らず、共用セルライブラリ33ではその半分のパターン構成図しか必要としないことがわかる。このようにしてパターン構成図を少なくすることでブロック露光によりパターンを形成できる回数を増やしてスループットを向上させる。なお、同図では1つのトランジスタを例題にしたが、複数のトランジスタがセルとして構成されていても全く同様に共用セルライブラリではパターン構成図が少なくなる。また、従来1セルあたりの

パターン形状としては機能ブロック毎にセルライブラリに登録されていた。機能ブロックとは、例えば、インバータ、NAND等の論理ゲートのことを示す。図7ではNANDの場合について回路図(図7(a))、従来のホトマスク装置20用のセルライブラリに登録されているパターン形状(図7(b))、共用セルライブラリに登録されているパターン形状(図7(c))を示している。すなわち、図7(b)のパターン形状の場合ホトマスク装置20で光露光する場合には一括してできるためなんら問題が生じないが、図7(b)のパターン形状のままホトマスク装置10で描画する場合には数十ないし数百倍の時間が掛ってしまう。そこで、図7(c)のパターン形状を用いることで略ブロック露光でパターン形成することができる。

[0041] 以下、セルライブラリのセルの構成パターンとブロックマスク上のパターンとブロック露光に関して詳述する。図7(b)のパターン形状のセルを、セルの構成パターンに分け、ブロックマスク上にパターンを形成することで、ブロック露光を行うこともできるが、ブロックマスクの領域にも制限があり、使用頻度の少ないセルの構成パターンはブロックマスク上にパターンを形成することができない。そうすると、前記したように、ホトマスク装置10で描画する場合にブロック露光を用いることができない部分に対して電子ビームによる描画がなされて相当の時間を要し、かかる部分の描画が全体の描画時間に与える影響が大きいと、全体としての描画時間も長くなる。したがって、描画する場合にはできるだけ多くの領域をブロック露光する必要があり、限られたブロックマスク上の領域にできれば全てのセルの構成パターンを形成することが好ましい。なお、あるセルの構成パターンと、他のセルの構成パターンとが共通であることが求められるが、この場合に論理ゲートの種類は必ずしも同一である必要はない。例えば、インバータのスルーホールと、2入力NANDのスルーホールの構成パターンとが共通であれば、ブロックマスク上の同一パターンを使用してブロック露光を行うことができる。セルの情報と構成パターンの情報とは関連付いており、あるセルがどの構成パターンを組み合わせるかがわかる。

[0042] そこで、セルライブラリ中の機能もしくは性能が異なる複数のセル間で同種類の構成パターンを、動作を変えずに同一化しセルライブラリを作成し(具体例として図6の共用セルライブラリの構成パターンのように同一化を図ることができ)、このセル

ライブラリのセルの構成パターンに基づきパターンを形成したブロックマスクを用いてブロック露光を行うことで、より多くのセルの構成パターンがブロックマスク上にパターンとして形成され、より多くの領域でブロック露光を使用することができ、描画時間の短縮化を大幅に図れる。さらに、後記する第3の実施形態に係るブロックマスク上に、このようなセルライブラリのセルの構成パターンに基づきパターンを形成する構成にすることもでき、かかるブロックマスクはブロックの形状の自由度が高く、従来ブロックマスク上にパターンとして形成することができなかったセルの構成パターンでも形成することができ、さらに生産性を向上させることができる。

[0043] このような構成パターンの同一化を図るとき、例えば、図7(a)に示す4入力NANDの回路の場合には、既に作成した図7(c)に示す1入力NANDのセルに基づいて4入力NANDのセルを作成するアプローチが肝要となる(逆のアプローチであってもよい)。こうすることで、4入力NANDのセルの構成パターンは1入力NANDの構成パターンと同一化され、セルライブラリ中の構成パターンの数が減少し、構成パターンの殆どをブロックマスク上にパターンとして形成することができる。ただし、図7(b)及び図7(c)を参照すると分かるように、構成パターンの全てが同一化される必要はなく、相違する部分に関しては再び構成パターンとするか、電子ビームで描画することで対応することができる。この場合であっても、ブロックマスクでブロック露光のみで転写されて完成する部分が増えるだけで、電子ビームによる描画が少なくなるため、同一化した分のスループットは向上する。

[0044] また、前記変換手段31は、繋ぎ目処理を行ってパターン情報とする。この繋ぎ目処理は、従来から電子ビーム直接描画装置11のパターン情報に対しては行っていたのであるが、光露光装置21のパターン情報に対しては行っていない。これは光露光装置は繋ぎ目が生じないため繋ぎ目処理を施す必要ないことと、施すことによって若干冗長なパターン情報になるからである。

[0045] また、前記変換手段31は、変換されたパターン情報に対して光露光装置21のパターン情報にするためにOPC処理を施す。前記両用セルライブラリ33及び繋ぎ目処理までの変換においては電子ビーム直接描画装置11のパターン情報と光露光装置21のパターン情報とは同一であるが、OPC処理をすると電子ビーム直接描画装置11の

パターン情報と光露光装置21のパターン情報は同一でなくなる。これは電子ビーム直接描画装置11にはOPC処理をすることで不具合が生じるからである。すなわち、電子ビーム直接描画装置11に対してOPC処理を施すと、前記したように想定したパターンと異なる完成ウエーハ形状となるからである。確かに、パターン情報は同一ではなくなったが、OPC処理していないパターン情報に基づき電子ビーム直接描画装置11によりウエーハに描画し試作された集積回路と、OPC処理しているパターン情報に基づき光露光装置21によりウエーハに光露光し試作された集積回路とが同一となる。よって、図5(c)に示すように、電子ビーム直接描画装置11にはOPC処理していないパターン情報を出力して集積回路を作成し、光露光装置21にはOPC処理済みのパターン情報を出力して集積回路を作成する。このように切りわけすることで、同一の完成ウエーハ形状を得ることができる。

[0046] 次に、本実施形態に係る集積回路設計システムの動作について説明する。ここで、集積回路設計支援装置30は、EDAソフト32の中の一機能として実装された場合について説明する。また、ホトマスクレス装置10は電子ビーム直接描画装置11とし、描画するための機能以外に端末が備えつけられてありパターン情報から描画情報に変換し描画可能とする。ホトマスク装置20は光露光装置21とする。ホトマスク装置のためのホトマスクを作成するホトマスク作成装置40も用意されていることとし、このホトマスク作成装置40にはパターン情報に基づきホトマスクを作成することができる端末が備わっていることとする。本実施形態に係る集積回路設計システムの動作自体にも特徴があり、ホトマスクを生産せず試作を作成することができるといったホトマスクレス試作方式の長所と量産時に試作時のパターン情報をそのまま使用することができるといったホトマスク試作方式の長所を併せ持つホトマスクレス試作方式とホトマスク試作方式を融合したホトマスクレス・ホトマスク融合方式を実現した集積回路の設計方法を実装している。

[0047] まず、顧客(Setメーカー)でシステム設計をし(ステップ1)半導体メーカーに対して試作発注を機能仕様書を伴って行う(ステップ2)。Setメーカから機能仕様書が送られてきて、それを受け取った設計管理者は機能仕様書(機能図、HDL、論理式、真理値表)を見て、使用できるIPを探しIPがない部分について担当割けし部下である設

計者にそれぞれの担当部分の機能仕様書を渡す。各担当者は、機能仕様書をEDAソフトのうち論理合成のソフトに送り、論理合成のソフトがある程度の論理回路(ネットリスト)を作成する。この論理回路(ネットリスト)で完成していない部分や不備がある部分を設計者が見つけ回路図設計のソフトを用いて適宜IPを参照して論理回路(ネットリスト)を完成させる。次に、各設計者は作成したネットリストに対して論理シミュレーションを行い、適宜EDA Toolのうち回路図設計のソフトで修正を行う。それぞれの設計者の担当部分が完成した後に、各論理回路(ネットリスト)を組み合わせさらにEDA Toolのうちシミュレーションソフトを用いて論理シミュレーションを行い、不備がある場合には適宜設計者に担当部分を戻し、全体の論理回路(ネットリスト)が完成するまで行う。

完成した論理回路(ネットリスト)をEDA Toolのうち集積回路設計支援装置が機能化したレイアウト設計ツールに送り、変換手段が両用セルライブラリ33を参照しながら繋ぎ目処理をしてパターン情報を作成する。作成されたパターン情報をEDA Toolのうちレイアウト検証ツールを用いて検証し、適宜レイアウト設計ツールにより修正を行ってパターン情報を完成させる。以上のようにしてLSI設計を行う(ステップ3)。

- [0048] 完成したパターン情報を電子ビーム直接描画装置11に出力する。電子ビーム直接描画装置11は、ウエーハをホトマスクなしに直接描画(もしくはブロックマスクを用いたブロック露光)してウエーハ(シャトル)を完成させ(ステップ4)、ウエーハ上のチップに対して評価を行い(ステップ5)、所望の要求仕様が満たされない場合には設計をやり直しホトマスクパターンを作成し直し、評価の結果が仕様を満たすまで繰り返行われる(評価はウエーハ上のチップのみならず、チップをマウントした状態、パッケージした状態でも同様に行われる)。所望の評価が得られた場合には、かかるパターン情報を共通パターン情報として保存する。Setメーカーには、チップをパッケージに封入したWS(Working Sample)を顧客(Setメーカー)に納入し(ステップ6)、顧客(Setメーカー)はかかるWSを評価する(ステップ7)。評価の結果顧客(Setメーカー)が変更を要すると判断した場合には顧客はシステム設計に移行して再び試作・発注を行う。評価の結果顧客(Setメーカー)が変更を要しないと判断した場合には半導体メーカーに対して量産発注を行う(ステップ8)。半導体メーカーは前記と同一設計環境となる

EDAソフト32、セルライブラリ33、レイアウトルール、IP34等を使用して量産発注を受けた時の共通パターン情報に対して変換手段31がOPC処理を行ってOPC処理済みパターン情報としてホトマスク作成装置40に出力する。ホトマスク作成装置はかかるOPC処理済みパターン情報に基づきホトマスクを作成する(ステップ9)。このホトマスクを修正を行うことなく量産用ホトマスクとして用いて量産を行う(ステップ10)。製品を製造した後顧客(Setメーカー)にかかる製品を納品する(ステップ11)。

[0049] このように本実施形態に係る集積回路設計システムよれば、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス装置10のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置20のパターン特性を満たしたパターン情報に変換する変換手段31を有する集積回路設計支援装置30を備えているので、ホトマスクレス装置10及びホトマスク装置20のどちらにも同一のパターン情報で用いることができ、また、形式的にパターン情報が異なっている場合にも、少なくとも最終的なウエーハ上に形成されるチップが同一となり、ホトマスクレス装置10のみを使用する集積回路開発、ホトマスク装置20のみを使用する集積回路開発、並びに、ホトマスクレス装置10及びホトマスク装置20を使用する集積回路開発にそのままパターン情報を用いることができ、様々な開発方法を用いることができる。また、本実施形態に係る集積回路設計システムによれば、前記変換手段31がホトマスクレス装置10のパターン特性及びホトマスク装置20のパターン特性を満たしたパターン構成図の集合である共用セルライブラリ33を用いてパターン情報に変換するので、ホトマスクレス装置のパターン情報とホトマスク装置のパターン形状が略同一となってどちらの装置を用いても同じチップを作成することができ、特に、ホトマスクレス装置10が電子ビーム直接描画装置11の場合には共用セルライブラリを用いて設計情報パターン情報にしており、ブロック露光を行える回数が増えスループットの向上を望める。また、本実施形態に係る集積回路設計システムよれば、当該集積回路設計支援装置30がパターン情報をホトマスクレス装置10に出力し、ホトマスクレス装置10が当該パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えた共通パターン情報に基づいたホト

マスクによりホトマスク装置20が用いてチップを量産するので、ホトマスクレス装置10を用いて高価なホトマスクを用いることなく低コストで試作を作成し、必要に応じて改良を加え要求仕様を満たした試作となって顧客から量産の指示を受けた場合に、かかる要求仕様を満たした試作に係るパターン情報を用いて形式的変換をする以外は評価をすることなくホトマスクを作成して量産工程に移行することができ、通常ホトマスクレス装置10を用いた場合に試作段階の評価と量産段階の評価が必要になるにも拘らず不要となって、全体としてコストを著しく低減させることができると共に、開発期間も短縮することができる。さらには、図11の従来のホトマスクレス試作方式によれば、試作段階で半導体メーカーAを顧客が指名して試作を作らせた後、量産段階で半導体メーカーBを顧客が指定して量産させている場合もあったが、すなわち、試作段階と量産段階との関連性が希薄であって別々の会社に発注する場合と同一の会社に一貫して試作段階及び量産段階を発注する場合とで顧客から見るとどちらの場合でも同じ開発期間を要して同一チップができるため全体としてコストが低くなるように会社を選んでいたが、本発明によれば、試作段階と量産段階との関連性が強固となって半導体メーカーからみれば顧客の囲い込みをすることができ、一方顧客から見れば開発期間が著しく短期間となる利益を受けることができる。また、本実施形態に係る集積回路設計システムによれば、前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換するので、ホトマスク装置20にとってみれば不必要な繋ぎ目処理が施されたパターン情報となっているが、ホトマスクレス装置10で安価にチップを作成して評価済みのチップに係るパターン情報に基づいてホトマスクを作成し、かかるホトマスクを用いてそのまま量産に移行することができ、コスト低減が図れると共に、開発期間の短縮が望める。また、本実施形態に係る集積回路設計システムによれば、前記変換手段が変換したパターン情報をさらにホトマスク装置用にOPC処理を施したパターン情報に変換するので、評価済みのチップに係るパターン情報と同一のパターン情報ではないがかかるパターン情報を用いて作成されたホトマスクを使用して作成されたチップが評価済みのチップと同一となるため評価することなしに大量生産することができる。

[0050] なお、本実施形態に係る集積回路設計システムにおいては、パターン情報をその

まま電子ビーム直接描画装置又は光露光装置に出力したが、パターン情報を電子ビーム直接描画装置又は光露光装置に理解できる形式に形式的な変換をして出力することもできる。

また、本実施形態に係る集積回路設計システムにおいては、集積回路設計支援装置は、EDA Toolsの中の一機能として実装された場合について説明したが、設計環境の構成要素として集積回路設計支援装置を実装することもでき、例えば、設計情報からパターン情報に変換するEDA Toolsがあった場合には、このEDA Toolsの要求に応じて共用セルライブラリ33を読み出したり、繋ぎ目処理、OPC処理を行なったりすることができる。また、集積回路設計支援装置30は、複数の装置から構成されていてもよく、共用セルライブラリ33を読み出す装置、繋ぎ目処理をする装置及びOPC処理をする装置から構成されていてもよい。

[0051] また、本実施形態に係る集積回路設計システムにおいては、ホトマスク作成装置40によりホトマスクを作成するとしたが、通常ホトマスクを作成する装置は電子ビーム直接描画装置11と同じ原理の電子ビームホトマスク描画装置41であり、当該電子ビーム直接描画装置11がホトマスクレス装置10とホトマスク作成装置40を担うことも可能である。

また、本実施形態に係る集積回路設計システムにおいては、アクティブ領域を避けたパターン情報に変換するとしたが、パターン情報中のアクティブ領域を追加したり(マスクレス工程)、削除したり(マスク工程)することを、設計Toolソフトで行う構成にすることもできる。

[0052] (本発明の第2の実施形態)

本発明の第2の実施形態に係る集積回路設計システムについて図8に基づき説明する。図8は本実施形態に係る集積回路設計システムのシステム構成図である。

本実施形態に係る集積回路設計システムは、前記第1の実施形態に係る集積回路設計システムと同様に構成され、加えて、第1に前記ホトマスクレス装置10が複数の前記パターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成し、第2に外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたホトマスクによりホトマスク装置を用いてチッ

ブを量産する点を特徴とする構成である。

[0053] 本実施形態に係る集積回路設計システムの動作説明を第1の実施形態に係る動作説明に組み入れて説明する。前記ステップ1ないしステップ3までは同様に行ってパターン情報を複数用意しておく。次に、複数のパターン情報を電子ビーム直接描画装置11に出力し、ホトマスクなしに直接描画して複数のチップを形成してウエーハ(シヤトル)を完成させる。同一ウエーハ上のそれぞれのチップに対して評価を行い、所望の仕様が得られない場合には設計をやり直しホトマスクパターンを作成し直し、評価の結果が仕様を満たすまで繰り返し行われる(評価はウエーハ上のチップのみならず、チップをマウントした状態、パッケージした状態でも同様に行われる)。所望の評価が得られた場合には、かかるパターン情報を共通パターン情報として保存する。Setメーカーには、それぞれのチップをパッケージに封入したWS(Working Sample)をそれぞれの顧客(Setメーカー)に納入し、各顧客(Setメーカー)はかかるWSを評価する。評価の結果顧客(Setメーカー)が変更を要すると判断した場合には顧客はシステム設計に移行して再び試作・発注を行う。評価の結果各顧客(Setメーカー)が変更を要しないと判断した場合には半導体メーカーに対して随時量産発注を行う。半導体メーカーは前記と同一設計環境となるEDAソフト32、セルライブラリ33、レイアウトルール、IP34等を使用して量産発注を受けた時の共通パターン情報に対して変換手段31がOPC処理を行ってOPC処理済みパターン情報としてホトマスク作成装置40に出力する。ホトマスク作成装置はかかるOPC処理済みパターン情報に基づきホトマスクを作成する。このホトマスクを修正を行うことなく量産用ホトマスクとして用いて量産を行う。製品を製造した後顧客にかかる製品を納品する。

[0054] このように本実施形態に係る集積回路設計システムによれば、前記ホトマスクレス装置10が複数の前記パターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成しているので、ホトマスクレス装置10によれば同一ウエーハ上にいくつもの種類のチップを形成することができ、高価なウエーハ上に同一会社の複数種類のチップを複数社分形成してチップ形成のコスト削減することができる。例えば、1枚のウエーハが100[万円]とすると、10社(10品種)でシェアすると10万円のコストで済む。通常、1枚のウエーハから500ないし1000[個]のチップを形成することがで

き、試作品として同一種類のチップは10ないし20個で十分であるため、十分複数の会社でシェアすることができ、コストを低減することができる。なお、ホトマスク装置20の場合には同一ウエーハ上に4ないし6種類のチップを形成するのが限界であった(原因はホトマスクの寸法制限である)。また、本実施形態に係る集積回路設計システムによれば、外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたホトマスクによりホトマスク装置を用いてチップを量産するので、共通パターン情報を作成していれば後はほとんど人を介在させることなく、外部要求に応じて自動的に所望のチップを量産することができる。また、図8に示すように、本集積回路設計システムと、複数の顧客の設計端末と通信回線によりデータ通信可能とすることにより、世界中の顧客から同時に開発を請け負うことができ、試作から量産への一貫した開発工程を実現することができる。また、量産工程が略人を介在させることなく可能であるということは、納品日の決定が行いやすく、顧客は随時半導体メーカーに問い合わせることで、正確な納品日の回答を迅速に受けることができる。

[0055] (本発明の第3の実施形態)

本発明の第3の実施形態に係る集積回路設計システムについて図9または図10に基づき説明する。

本実施形態に係る集積回路設計システムは、前記第1の実施形態に係る集積回路設計システムと同様に構成され、ブロック露光で使用するブロックマスク50の構成を異にする構成である。

[0056] 図9は本実施形態に係るブロックマスクの平面図である。前記ブロックマスク50は、従来正方形に形成されていたブロック51と異なり、たとえば図9に示すように、ブロックを構成する辺の長さが異なるブロック51が複数形成されたものである。正方形であったものに対し長方形のものを混在させるだけで相当の自由度を得ることができるが、さらに、それぞれのブロック51を構成する辺の長さを変えることで、ブロック51内に自由にパターンを形成することができる。従来であれば、あるパターンをブロック露光を用いて露光するためにブロック51内にパターンを形成しようとしても、ブロックサイズの制限からかかるパターンをブロック露光を用いて露光することができず電子ビー

ムで描画するしかなかった。また、頻繁に使用されるパターンについて、1つのブロック51内に収まらない場合には複数のブロック51に分割してパターンをブロックマスク上に形成していた。この場合、分割することにより設計に手間がかかるだけでなく、ブロック露光する場合に複数回のブロック露光で1つのパターンを得る必要があるため非常に高い精度の位置あわせを必要としていた。このような従来の状況から、逆に、パターンに基づいてブロックサイズをある程度自由に設定しようとするのが、本実施形態の中心的な思想である。

[0057] ブロックマスク50のブロック51は、たとえば図9に示すように、ブロックマスク50上の全てのブロック51の短辺が長さが同じで、長辺の長さが異なるものである。短辺側のビーム幅は変えることなく、長辺側のビーム幅を成形するか、走査するかで(成形及び走査を組み合わせてもよい)ブロック露光を行うことができ、短辺側のビーム幅を変更しないため、迅速にブロック露光を行うことができる。複数のビームを使用する場合には、ビーム数が増える度に迅速性が増す。

[0058] また、図9のブロックマスク50は、ブロックマスク50の縦方向に沿って長辺が形成されているブロックを配置した縦長ブロック領域53と、ブロックマスク50の横方向に沿って長辺が形成されているブロックを配置した横長ブロック領域52とを備えるものである。このように領域を分けることで、一方の領域に関してブロック露光を行う場合に、ビームの走査が一方向となって迅速性が増し、また、ブロックマスク50上のブロック51の形成自体も容易となる。また、高密度にブロック51を形成することができるだけでなく、通常パターンは縦横方向に延出して形成されているので、このような領域分けも実際のパターンに即しており、適用性も高い。さらには、縦長ブロック領域53と横長ブロック領域52とが、ブロックマスク50の対角線を中心として相対しており、無駄な部分がなくブロックマスク50上のスペースを有効に活用している。

[0059] また、図9に示すように、横長ブロック領域52を例にとると、1番上のブロック51を走査した後は、2番目のブロック51に略連続して露光することができ、以降同様に略連続して露光することができる。また、図9のようなパターンであれば、横長ブロック領域52の一番上のブロック51を横右方向にビームで走査し、次に、縦長ブロック領域53の右端のブロック51を縦下方向にビームで走査し、次に、縦長ブロック領域53の右

端から2番目のブロック51を縦上方向にビームで走査し、次に、横長ブロック領域52の上から2番目のブロック51を横左方向にビームで走査し、以降、同様にビームを走査することで、無駄のない走査で、ブロック露光を実現することができる。このようなビームの走査を行う場合には、実際のパターンがかかる走査で適切に描画できるようにブロック51の順序を考慮する必要がある。また、走査は通常ブロックマスクを動かして実現される。

[0060] 本実施形態では、ブロック露光時に照射されるビーム形状を任意の長方形に変形するデフレクター(図示しないが、背景技術の図13に示している)を備える。デフレクター(deflector)は、電解又は磁界を利用して電子ビームの進行方向を曲げる働きをするものである。デフレクターで電圧コントロールすることで、ビーム形状を変更することができる。このようなデフレクターを備えた方が、本実施形態のような形状の異なるブロックを有するブロックマスク50に対して適切に露光することができる。また、このデフレクター、レンズ、成形アパーチャなどが有機的に結合された成形偏向系を用いて、電子ビームを任意に成形することができる。

[0061] パターンを形成する場合に、同じブロック51に対してブロック露光を繰り返す場合があるが、この場合に複数のビームを対象ブロックの長手方向に並列させてブロック露光することで迅速な露光を行うことができる。このようなブロック露光を行う場合、それぞれのビームが同じ長さ分走査されて露光することで、最も早くブロック露光を完了することができる。より好しい構成としては、対象ブロックを使用するビーム数分得名目上等間隔に分割し、各分割したブロック51をそれぞれのビームで同方向に走査するものがある。この構成によれば、ビーム数の多いぶん走査距離が少なくなって迅速にブロック露光を実現することができる。具体的には、図10(a)に示すように、あるブロック51が存在する場合に、名目上の分割線を引き、かかる分割線でブロック51を分割し、それぞれのビームで走査してパターンを形成する。実際には分割線は引かれず、ブロックの長辺の長さをビーム数で除算し、商の値の長さ分それぞれのビームで走査することになる。また、ビームの初期位置も、基準点から商の整数倍を足して求めることができる。図10(b)は、3つのビームを用いて露光する場合の走査例を示す。図10(c)は、ビームが相対する方向に走査されているが、これはビーム自体を

動かす必要がある(上記図10(a)(b)は同方向の移動となるため、ブロックマスク50自体を動かすことで実現することができる。)

[0062] このように本実施形態に係る集積回路設計システムにおいては、上記のようなブロックマスク50を用いることで、ホトマスクレス装置10が試作を作成する時間を大幅に縮めることができる。すなわち、試作を短い期間で製作し、顧客に評価された後に、共通パターン情報に基づいたホトマスクでホトマスク装置20を用いてチップを量産することで、時間的な顧客の要望を満たし、トータルのコストの低減を実現することができる。

なお、本実施形態に係る集積回路設計システムにおいては、一部の例外的なパターンを除き、パターンは通常配線最小ピッチ単位の整数倍となっているので、ブロックマスク50のブロック51の長辺及び短辺もかかる配線最小ピッチ単位の整数倍としておくことで、ブロックマスク50上のブロック51も整理した状態で配置することができ(必要以上に自由にブロック51の長さを決めることができることにより逆に煩雑となる)、また、ブロック51が常にある単位の整数倍となっていることでビーム形状を成形したり、走査することが容易となる。より好ましい形態としては、ブロック51同士の間隙も配線最小ピッチ単位の整数倍とするものがある。また、ここでは、配線最小ピッチ単位の整数倍としたが、他の長さを単位にすることもできるし、整数倍だけでなく $1/n$ (n を整数とする)倍であってもよい。

[0063] 以上、本発明を実施形態で説明したが、本発明の技術的範囲はこの実施形態に記載された範囲のみに限定されない。実施形態に、様々な変更又は改良を加えることができ、このような変更例又は改良例の形態も本発明の技術的範囲に含まれることが、特許請求の範囲の記載からも明らかである。

[0064] (付記1)

集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス装置のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段を備えることを特徴とする集積回路設計支援装置。

[0065] (付記2)

前記付記1に記載の集積回路設計支援装置において、前記変換手段がホトマスクレス装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを特徴とする集積回路設計支援装置。

[0066] (付記3)

前記付記1または付記2に記載の集積回路設計支援装置と、前記ホトマスクレス装置及びホトマスク装置とを備え、当該集積回路設計支援装置がパターン情報又はホトマスクレス装置に入力可能な形式のパターン情報に準じる準パターン情報をホトマスクレス装置に出力し、ホトマスクレス装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたホトマスクでホトマスク装置を用いてチップを量産することを特徴とする集積回路設計システム。

図面の簡単な説明

[0067] [図1]本発明の第1の実施形態に係るの開発工程の流れを示すブロック図である。

[図2]本発明の第1の実施形態に係る集積回路設計システムのシステム構成図である。

[図3]本発明の第1の実施形態に係る集積回路設計システムの共用設計環境の構成図である。

[図4]本発明の第1の実施形態に係る繋ぎ目処理の説明図である。

[図5]本発明の第1の実施形態に係るOPC処理の説明図である。

[図6]本発明の第1の実施形態に係る共用セルライブラリの説明図である。

[図7]本発明の第1の実施形態に係る共用セルライブラリの説明図である。

[図8]本発明の第2の実施形態に係る集積回路設計システムのシステム構成図である。

[図9]本発明の第3の実施形態に係るブロックマスクの平面図である。

[図10]本発明の第3の実施形態に係る複数ビームの走査説明図である。

[図11]従来のホトマスク試作方式の開発工程の流れを示すブロック図である。

[図12]従来のホトマスクレス試作方式の開発工程の流れを示すブロック図である。

[図13]従来のブロックマスクを使用した直接描画装置の駆動説明図及びブロックマスクの正面図である。

[図14]一般的なLSIの配線パターンの部分正面図である。

符号の説明

- [0068]
- 10 ホトマスクレス装置
 - 11 電子ビーム直接描画装置
 - 20 ホトマスク装置
 - 21 光露光装置
 - 30 集積回路設計支援装置
 - 31 変換手段
 - 32 EDAソフト
 - 33 両用セルライブラリ
 - 34 IP
 - 40 ホトマスク作成装置
 - 41 電子ビームホトマスク描画装置
 - 50 ブロックマスク
 - 51 ブロック
 - 52 横長ブロック領域
 - 53 縦長ブロック
 - 101 ビーム
 - 102 スリット
 - 103 デフレクター
 - 104 ブロックマスク
 - 105 ウエーハ
 - 106 ブロック

請求の範囲

- [1] パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス工程及びパターン情報に基づいてホトマスクを用いて集積回路を作成するホトマスク工程に用いることができる共用設計環境下でホトマスクレス工程及びホトマスク工程に対応した試作用のパターン情報に基づき集積回路の試作をホトマスクを用いず作成する工程と、評価を経て必要に応じて改良を加え共通パターン情報を作成する工程と、当該共通パターン情報に改良を加えることなく必要に応じて形式的変換を行って量産用のホトマスクを生成する工程とからなることを
特徴とする集積回路の製造方法。
- [2] 前記請求項1に記載の集積回路の製造方法において、
前記共用設計環境は、集積回路の製造に必要なEDA(Electronic Design Automation)ソフト、検証ソフト、セルライブラリー、IP(Intellectual Property)、OPC(Optical and Process Correction)処理ソフト等の設計Toolからなる設計環境を、前記ホトマスクレス工程及びホトマスク工程で共用可能な形式で構築してなることを
特徴とする集積回路の製造方法。
- [3] 前記請求項1に記載の集積回路の製造方法において、
複数の異なる集積回路、同一機能の集積回路であって複数のパラメータを条件に持った複数の集積回路又はこれらの集積回路の組み合わせのパターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成することを
特徴とする集積回路の製造方法。
- [4] 前記請求項3の集積回路の製造方法において、
外部要求に応じて作成したウエーハ上の複数のチップのうち指定されたチップに係る共通パターン情報に基づきホトマスクを作成し、当該ホトマスクを用いてチップを大量生産することを
特徴とする集積回路の製造方法。
- [5] コンピュータを、集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスクレス装置のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回

路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させることを

特徴とする集積回路設計支援プログラム。

- [6] 前記請求項5に記載の集積回路設計支援プログラムにおいて、

前記変換手段がホトマスク装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを

特徴とする集積回路設計支援プログラム。

- [7] 集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスク装置のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段とを備えることを

特徴とする集積回路設計支援装置。

- [8] 前記請求項5に記載の集積回路設計支援装置において、

前記変換手段がホトマスク装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを

特徴とする集積回路設計支援装置。

- [9] 前記請求項5または6に記載の集積回路設計支援プログラムがコンピュータに読込まれることによる集積回路設計支援装置または前記請求項7または8に記載の集積回路設計支援装置と、前記ホトマスク装置及びホトマスク装置とを備え、

当該集積回路設計支援装置がパターン情報又はホトマスク装置に入力可能な形式のパターン情報に準じる準パターン情報をホトマスク装置に出力し、ホトマスク装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたホトマスクでホトマスク装置を用いてチップを量産することを

特徴とする集積回路設計システム。

- [10] 前記請求項9に記載の集積回路設計システムにおいて、
前記変換手段が電子ビーム直接描画装置の電子ビーム幅により形成される繋ぎ目をアクティブ領域を避けたパターン情報に変換することを
特徴とする集積回路設計システム。
- [11] 前記請求項9に記載の集積回路設計システムにおいて、
前記変換手段が変換したパターン情報をさらにホトマスク装置用にOPC処理を施したパターン情報に変換することを
特徴とする集積回路設計システム。
- [12] 前記請求項9に記載の集積回路設計システムにおいて、
前記ホトマスクレス装置が複数の前記パターン情報又はホトマスク装置に入力可能な形式のパターン情報に準じる準パターン情報に基づき試作をホトマスクを用いず同一のウエーハ上に焼き付けて作成することを
特徴とする集積回路設計システム。
- [13] 前記請求項12に記載の集積回路設計システムにおいて、
外部要求に応じて前記同一ウエーハ上の指定されたそれぞれのチップに係る共通パターン情報に基づいたホトマスクをホトマスク装置で用いてチップを量産することを
特徴とする集積回路設計システム。
- [14] ホトマスクを用いることなく集積回路を作成するホトマスクレス装置でブロック露光に使用されるブロックマスクにおいて、
ブロックを構成する辺の長さが異なるブロックが複数形成されたことを
特徴とするブロックマスク。
- [15] ホトマスクを用いることなく集積回路を作成するホトマスクレス装置でブロック露光に使用されるブロックマスクにおいて、
形成される複数ブロックが長方形のブロックであって、当該長方形のブロックの大きさが異なることを
特徴とするブロックマスク。
- [16] 前記請求項14または15に記載のブロックマスクにおいて、
ブロックが長方形に形成されている場合に、ブロックの長辺及び／又は短辺が配線

最小ピッチ単位の整数倍の長さを有することを
特徴とするブロックマスク。

- [17] 前記請求項14または15に記載のブロックマスクにおいて、
形成されている複数のブロックの短辺の長さが同じで、長辺の長さが異なることを
特徴とするブロックマスク。
- [18] 前記請求項14または15に記載のブロックマスクにおいて、
ブロックマスクの縦方向に沿って長辺が形成されているブロックを配置した縦長ブ
ロック領域と、ブロックマスクの横方向に沿って長辺が形成されているブロックを配置し
た横長ブロック領域とを備えることを
特徴とするブロックマスク。
- [19] 前記請求項14または15に記載のブロックマスクを使用するホトマスクレス装置におい
て、
ブロック露光時に照射されるビーム形状を任意の長方形又は楕円形に変形する手
段を備えることを
特徴とするホトマスクレス装置。
- [20] 前記請求項14または15に記載のブロックマスクを使用するホトマスクレス装置におい
て、
ブロック露光時に照射されるビーム形状を保ったまま、形成されたブロックの長辺方
向に走査することを
特徴とするホトマスクレス装置。
- [21] 前記請求項14または15に記載のブロックマスクを使用するホトマスクレス装置におい
て、
ブロック露光時に複数のビームを一のブロックに対して長手方向に並列させて照射
することを
特徴とするホトマスクレス装置。
- [22] 前記請求項21に記載のブロックマスクを使用するホトマスクレス装置において、
一のブロックを長手方向に照射するビーム数分に等間隔に分割し、分割した部分
にそれぞれのビームを照射して走査させることを

特徴とするホトマスクレス装置。

- [23] セルライブラリ中の機能もしくは性能が異なる複数のセル間で、同じ露光工程に該当する構成パターンを動作に影響させることなく同一化したセルを作成し、当該作成したセルをセルライブラリに登録し、当該セルライブラリに基づきパターンを形成したブロックマスクを用いてブロック露光を行うことを

特徴とする集積回路の製造方法。

- [24] CMOS半導体用のセルライブラリにおいて、1個のN型Tr.と1個のP型Tr.から構成される1入力Gateのセルをセルの基本単位とし、当該前記1入力Gateの基本セルの構成パターンからなるN入力Gateのセルに登録したセルライブラリに基づきパターンを形成したブロックマスクを用いてブロック露光を行うことを

特徴とする集積回路の製造方法。

- [25] セルライブラリ中の機能もしくは性能が異なる複数のセル間で、同じ露光工程に該当する構成パターンを動作に影響させることなく同一化したセルを作成し、当該作成したセルをセルライブラリに登録し、当該セルライブラリに基づきパターンを形成したブロックマスクを用いてブロック露光を行うことを

特徴とする前記請求項1に記載の集積回路の製造方法。

- [26] 前記請求項14または15に記載のブロックマスクを用いてブロック露光を行うことを
特徴とする請求項23ないし25のいずれかに記載の集積回路の製造方法。

補正書の請求の範囲

[2005年6月17日 (17. 06. 05) 国際事務局受理：出願当初の請求の範囲8は補正された；他の請求の範囲は変更なし。(1頁)]

路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段として機能させることを

特徴とする集積回路設計支援プログラム。

- [6] 前記請求項5に記載の集積回路設計支援プログラムにおいて、

前記変換手段がホトマスク装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを

特徴とする集積回路設計支援プログラム。

- [7] 集積回路の機能設計及び／又は論理設計を経て作成される設計情報を、パターン情報に基づいてホトマスクを用いることなく集積回路を作成するホトマスク装置のパターン特性及びパターン情報に基づいたホトマスクを用いて集積回路を作成するホトマスク装置のパターン特性を満たしたパターン情報に変換する変換手段とを備えることを

特徴とする集積回路設計支援装置。

- [8] (補正後)前記請求項7に記載の集積回路設計支援装置において、

前記変換手段がホトマスク装置のパターン特性及びホトマスク装置のパターン特性を満たしたパターン構成図の集合である共用セルライブラリーを用いてパターン情報に変換することを

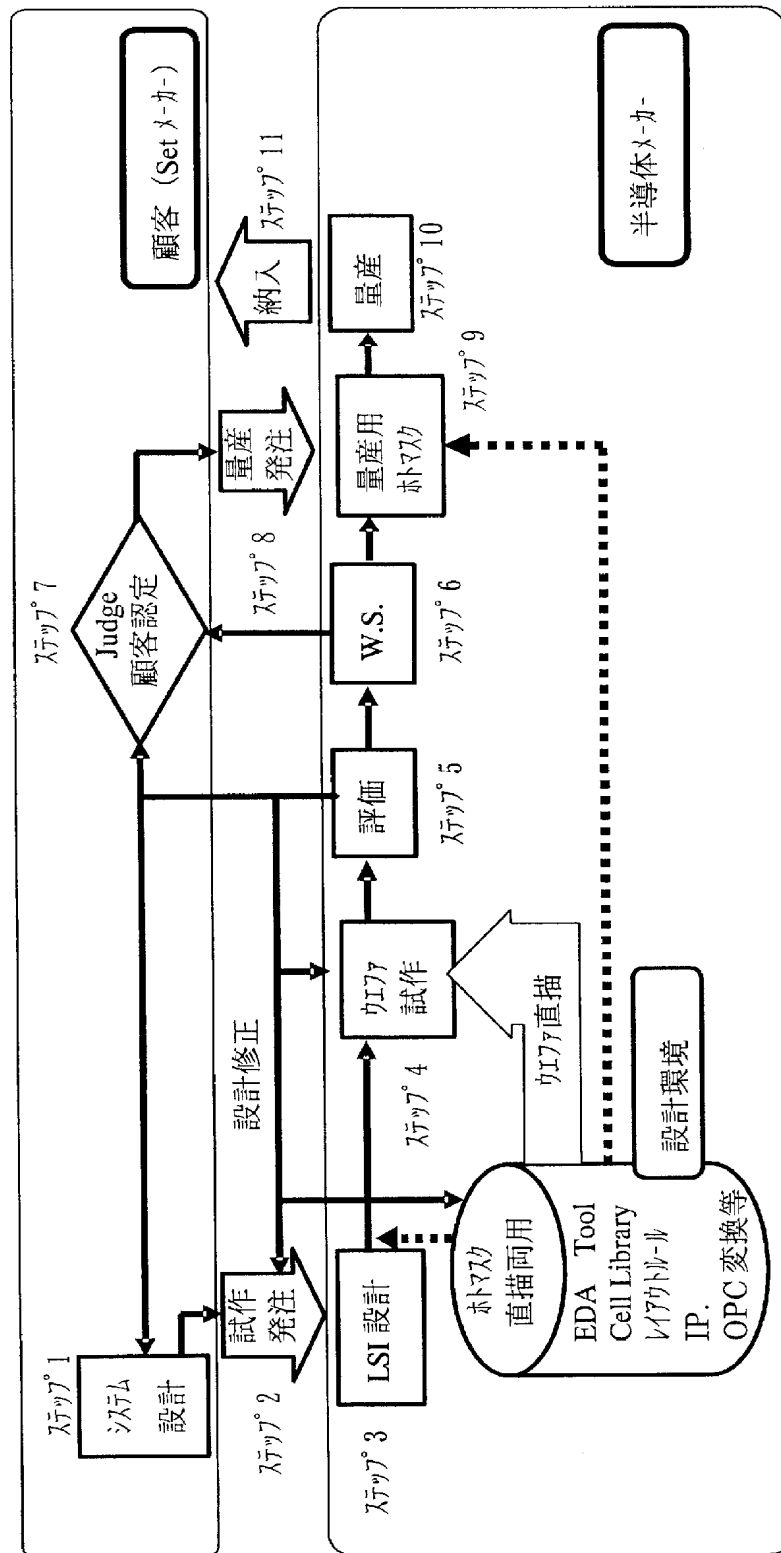
特徴とする集積回路設計支援装置。

- [9] 前記請求項5または6に記載の集積回路設計支援プログラムがコンピュータに読み込まれることによる集積回路設計支援装置または前記請求項7または8に記載の集積回路設計支援装置と、前記ホトマスク装置及びホトマスク装置とを備え、

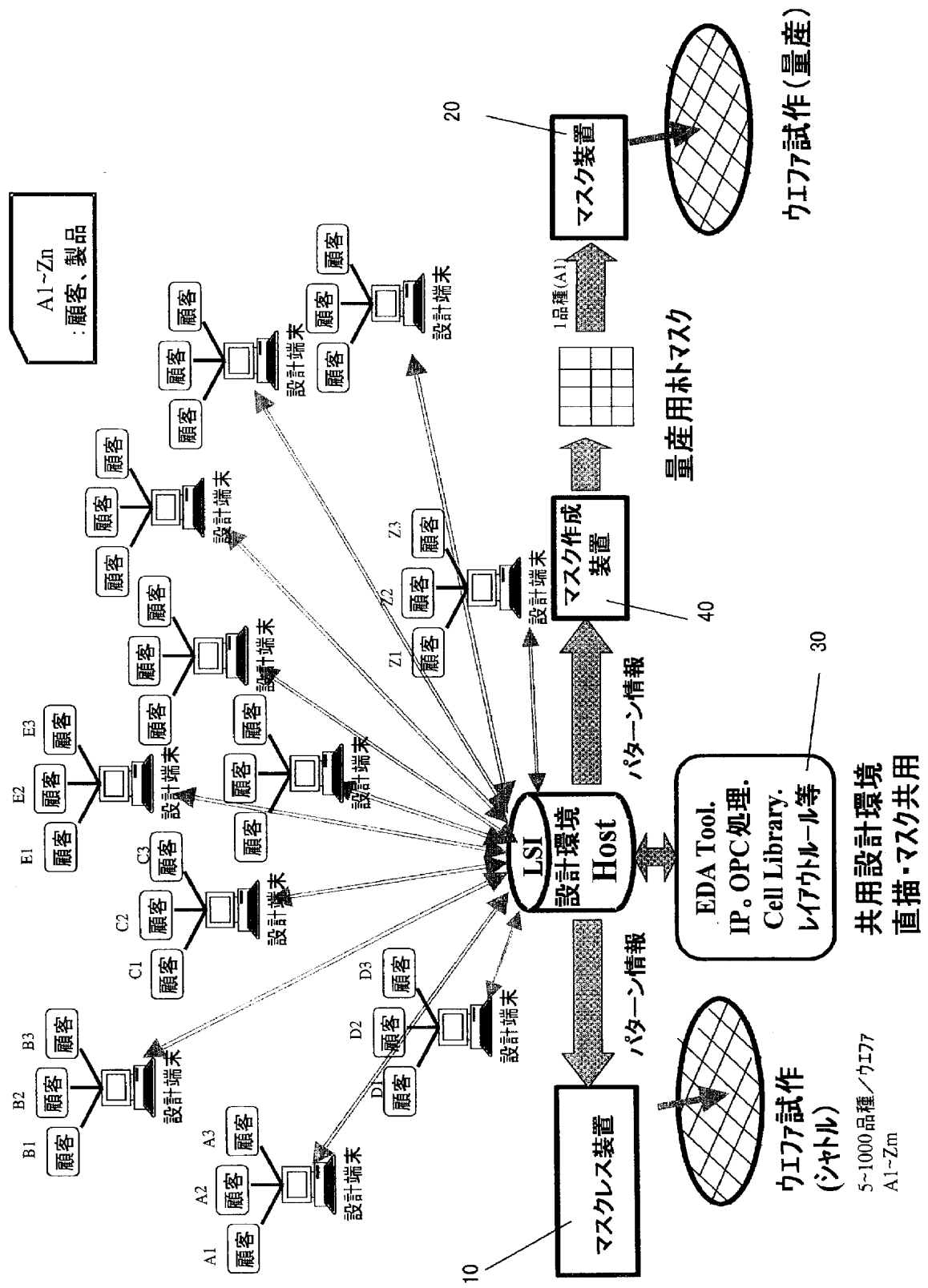
当該集積回路設計支援装置がパターン情報又はホトマスク装置に入力可能な形式のパターン情報に準じる準パターン情報をホトマスク装置に出力し、ホトマスク装置が当該パターン情報又は準パターン情報に基づき集積回路の試作を作成し、当該試作に対して評価を行い必要に応じて改良を加えられた共通パターン情報に基づいたホトマスクでホトマスク装置を用いてチップを量産することを

特徴とする集積回路設計システム。

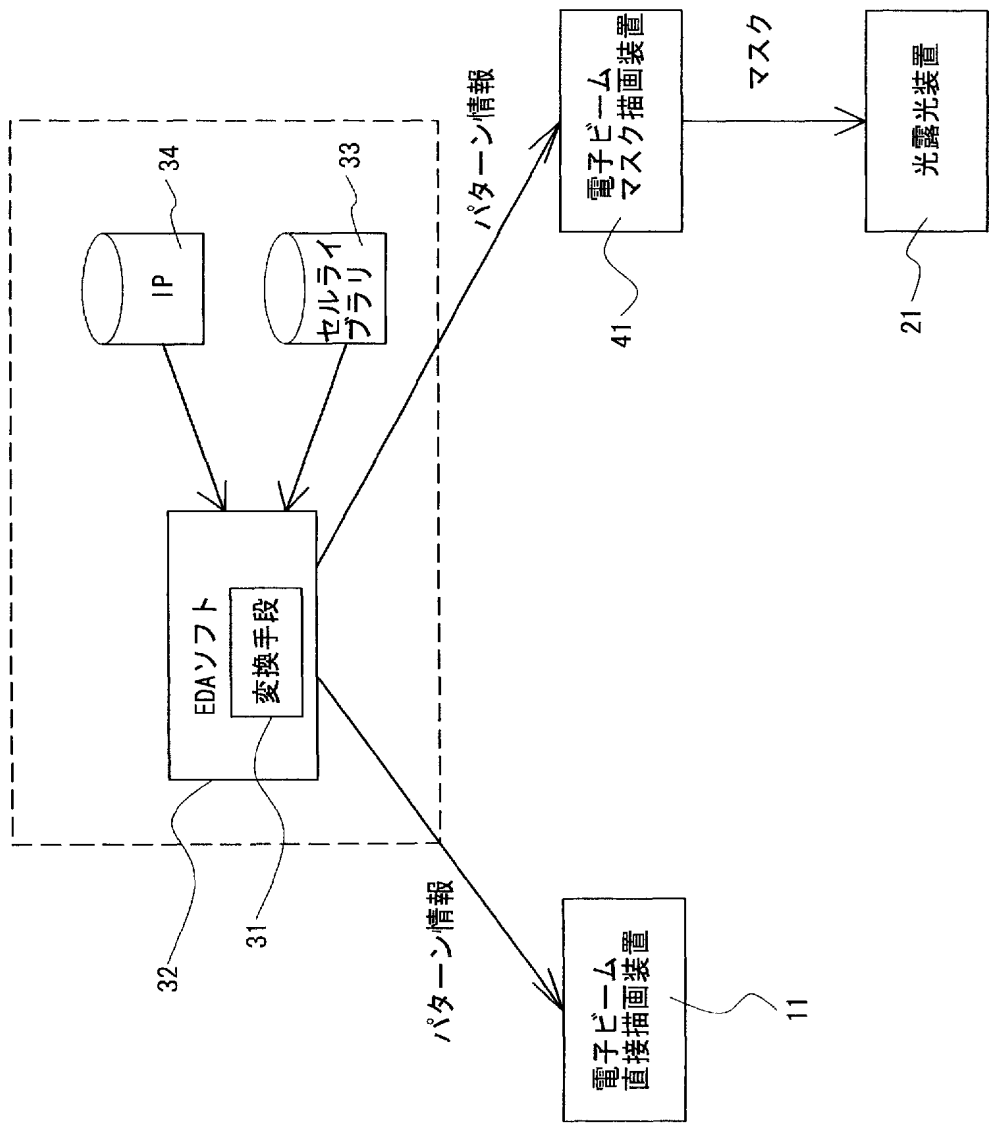
[図1]



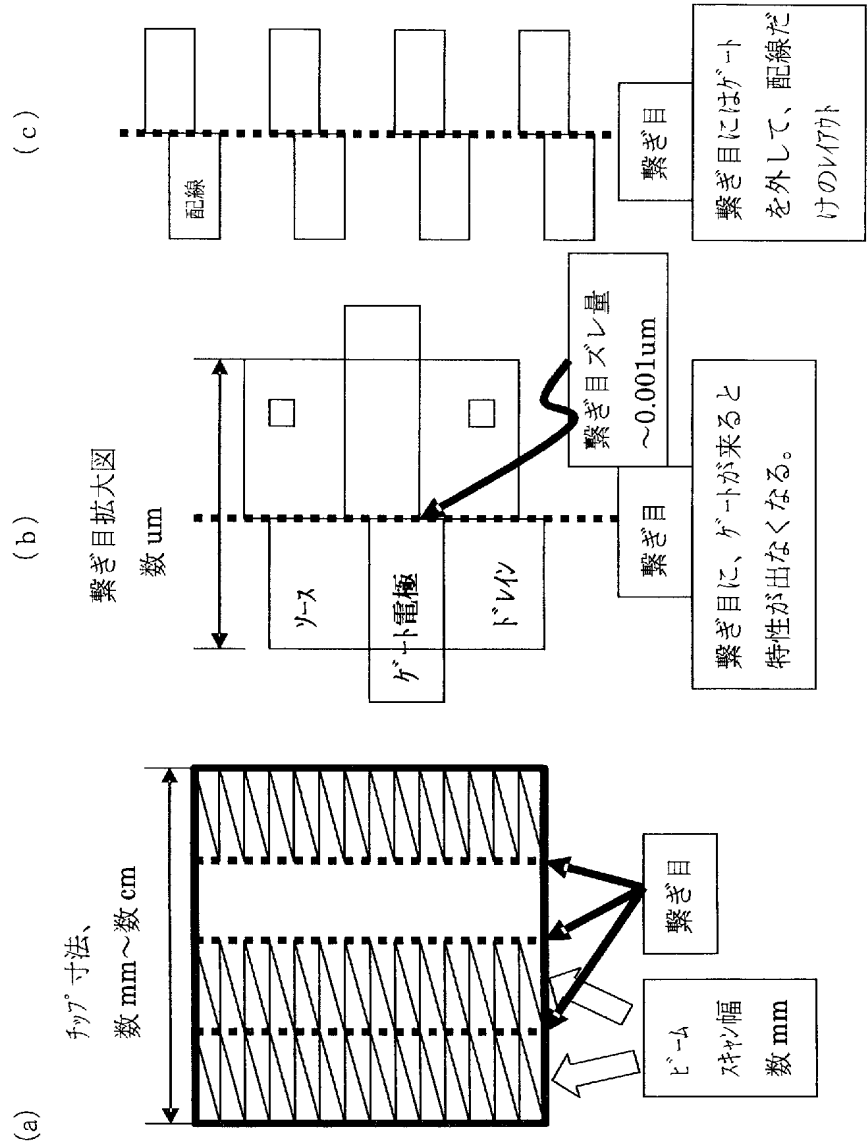
[図2]



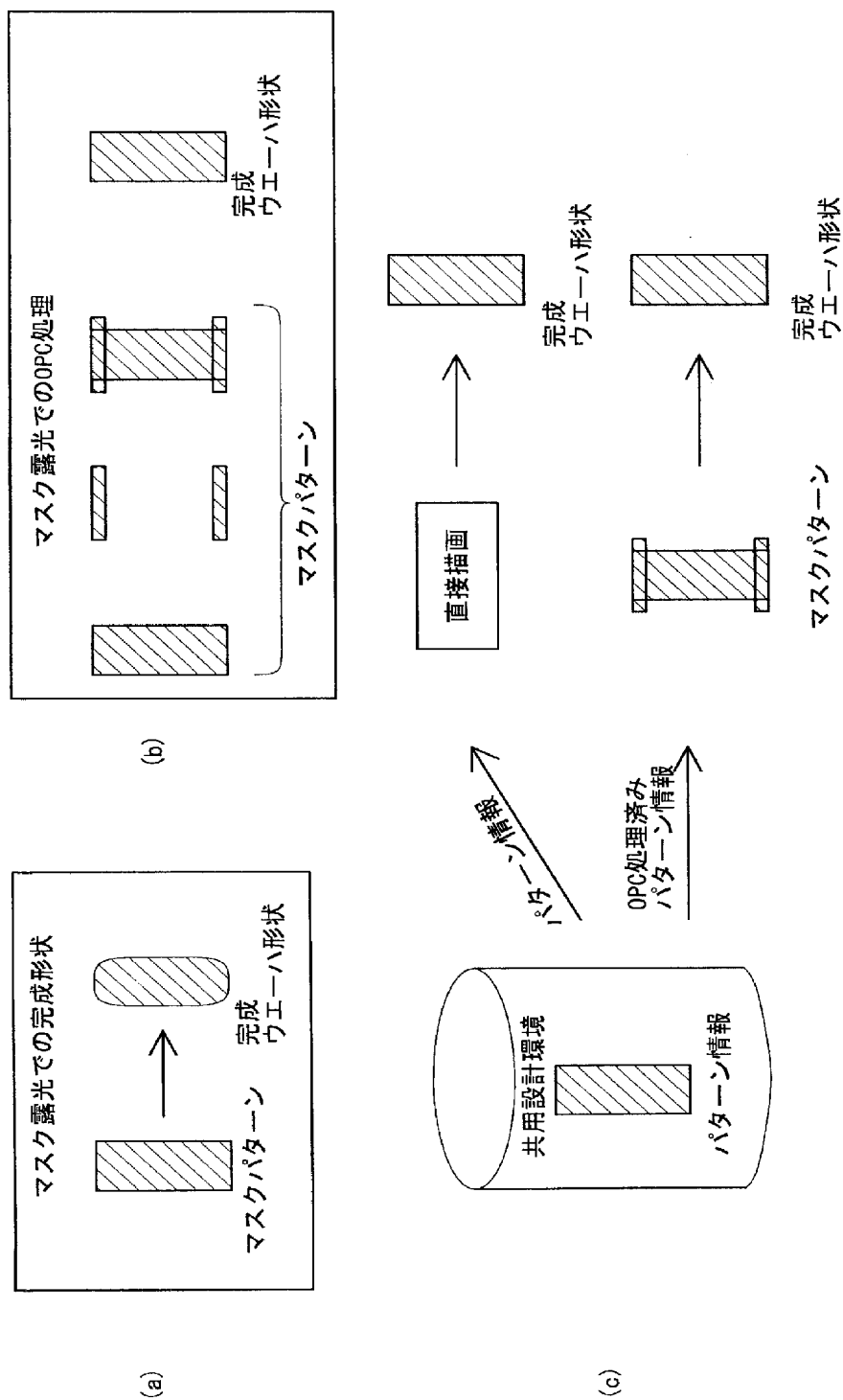
[図3]



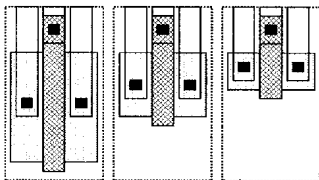
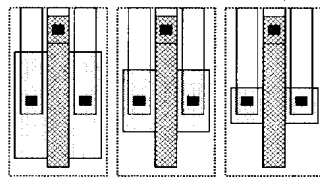
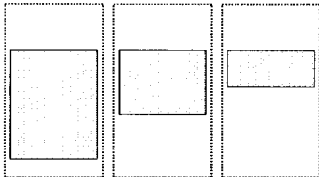
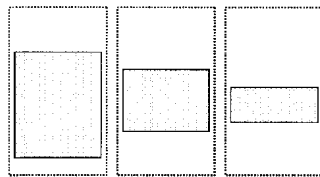
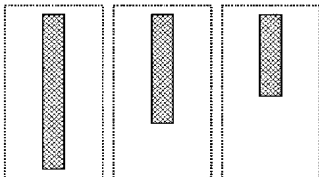
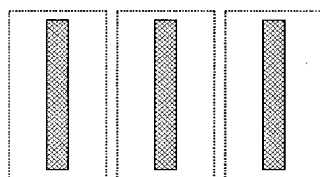
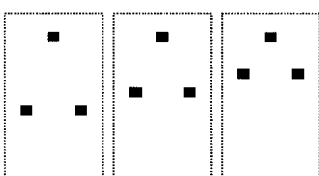
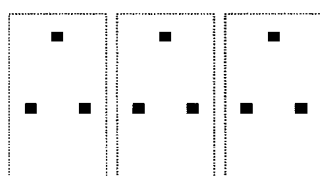
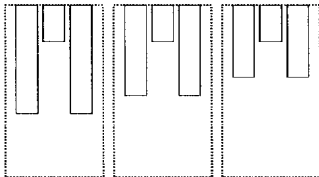
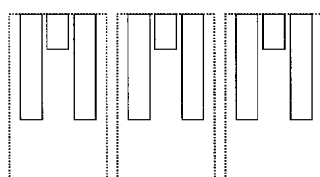
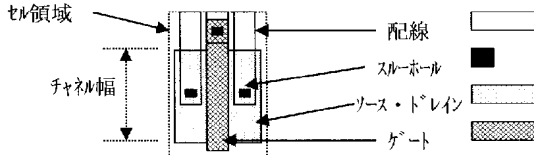
[図4]



[図5]



[図6]

	ホトマスク用（従来）ライブラリセル		共用（マスク・直描）ライブラリセル	
	セルパター形状	ショット数	セルパター形状	ショット数
全体 図面				
ソース・ ドレイン パターン （構成 パターン）		ショット数 3 種類		ショット数 3 種類
ゲート パターン （構成 パターン）		ショット数 3 種類		ショット数 1 種類
スルーホール パターン （構成 パターン）		ショット数 3 種類		ショット数 1 種類
配線 (Al、Cu) パターン （構成 パターン）		ショット数 3 種類		ショット数 1 種類
ショット数 合計	3+3+3+3=12 種		3+1+1+1=6 種	
パターンの説明				

[図7]

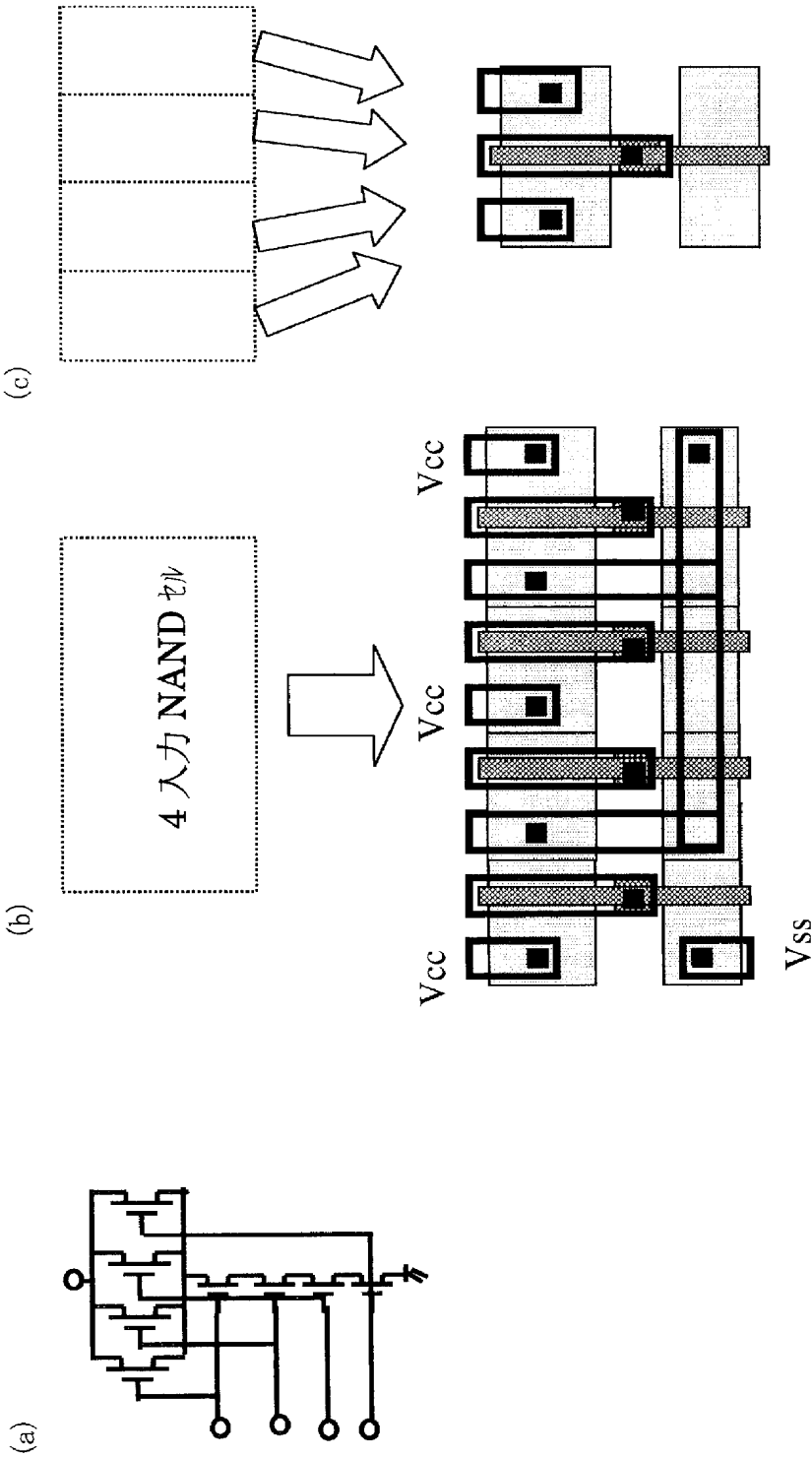
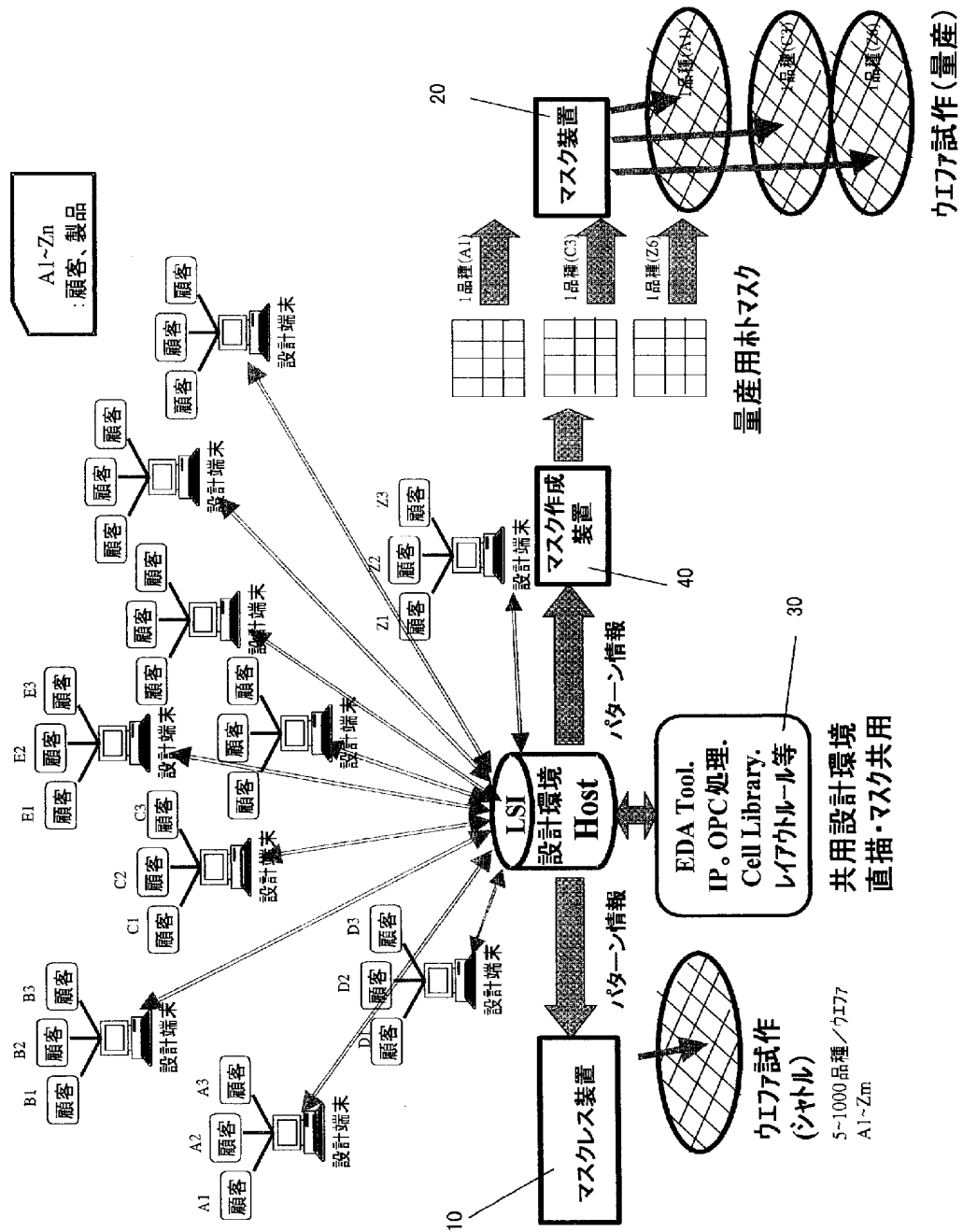
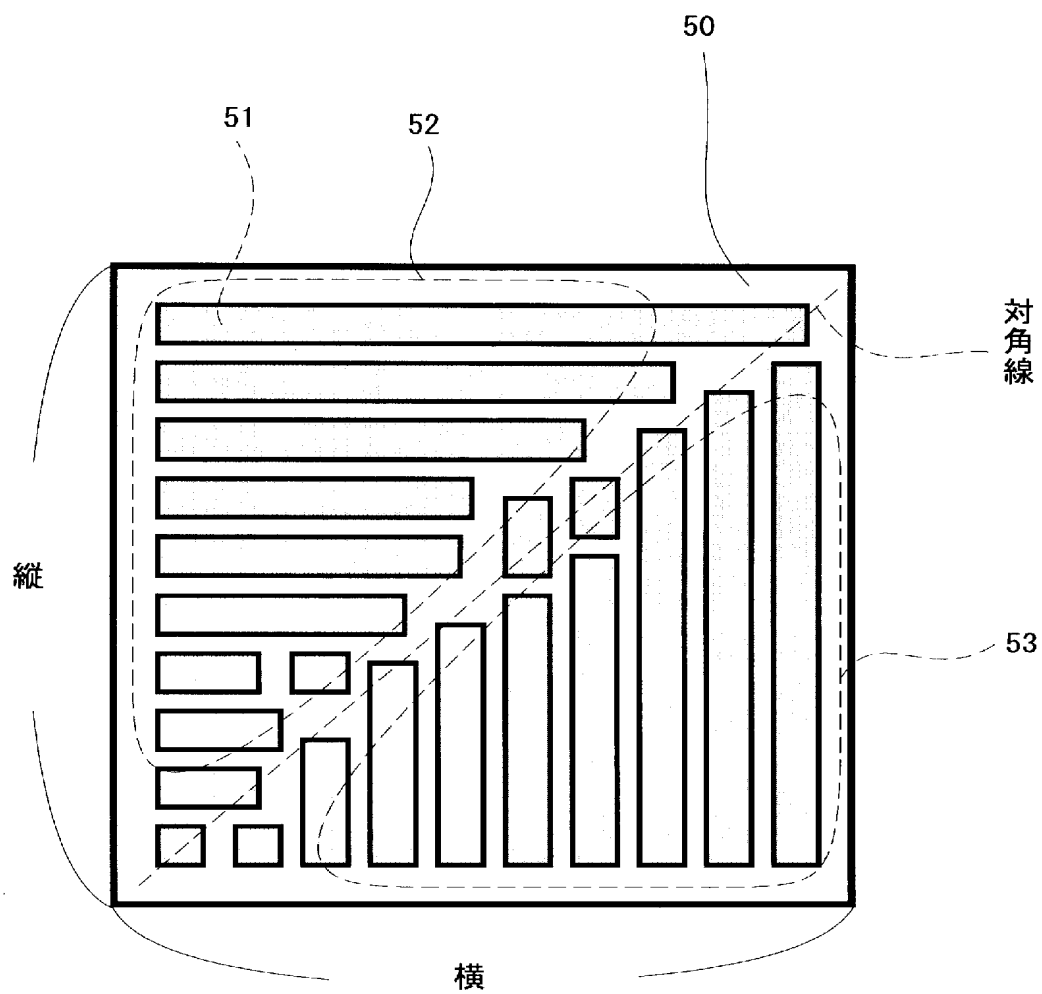


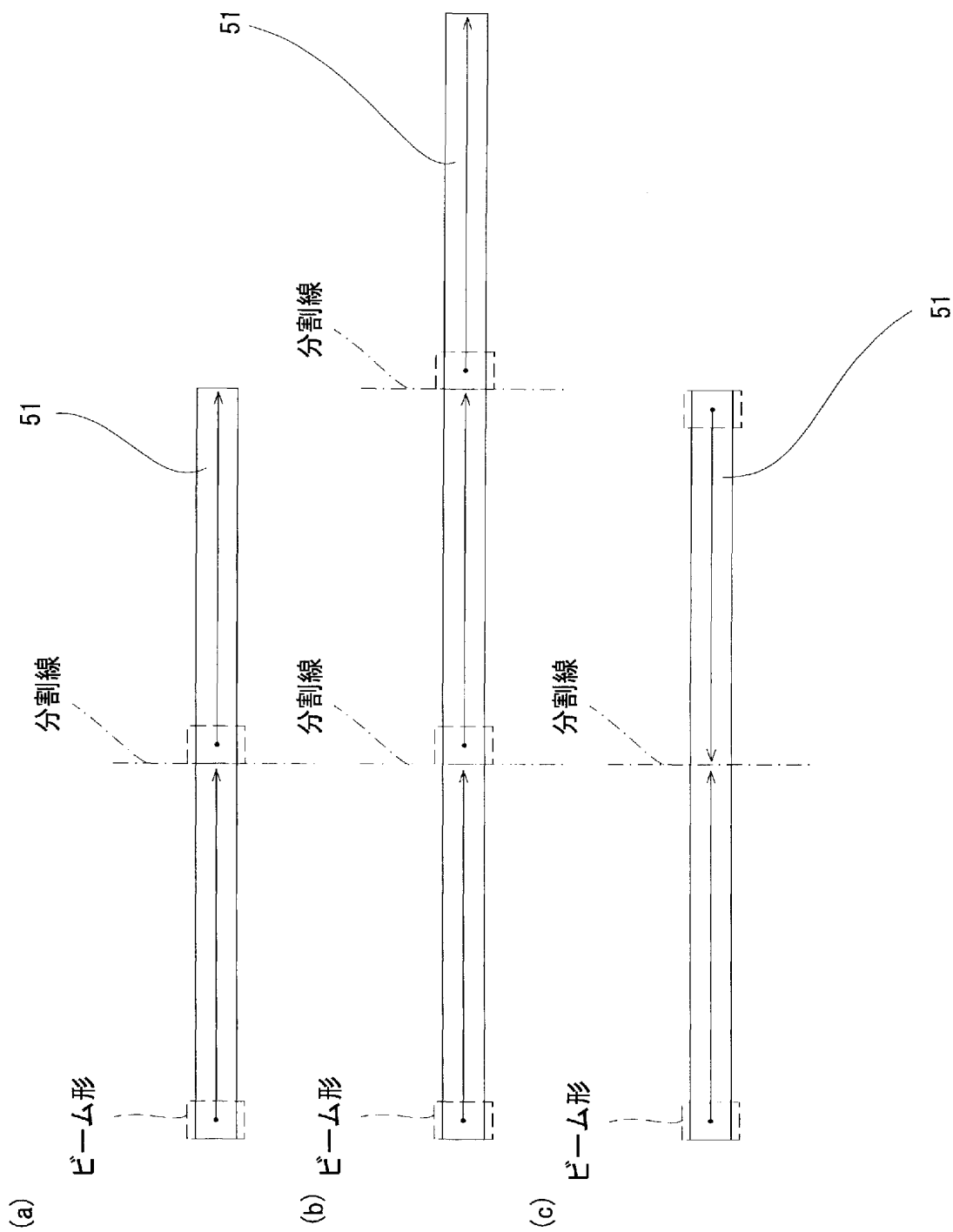
図8



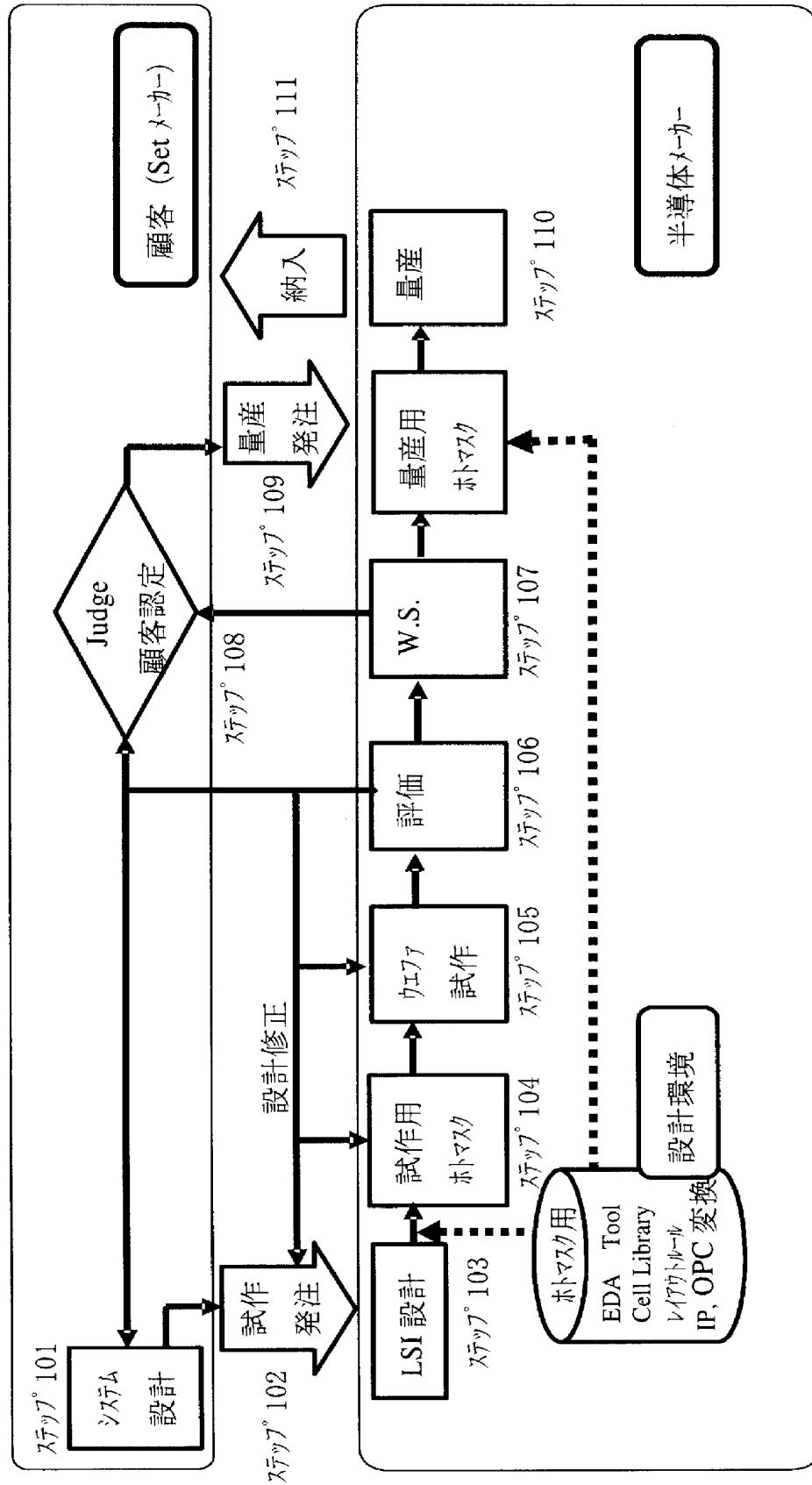
〔図9〕



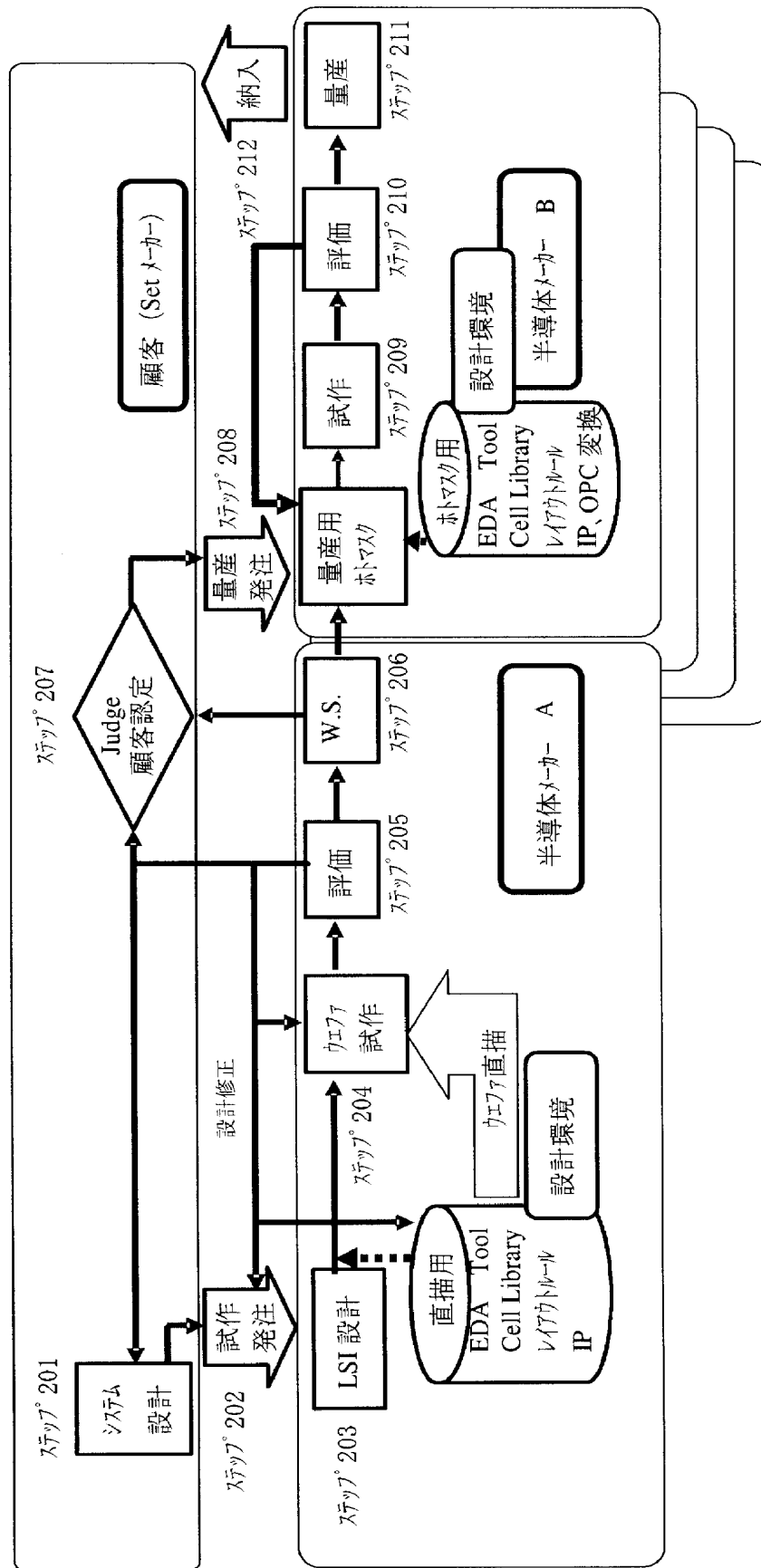
[図10]



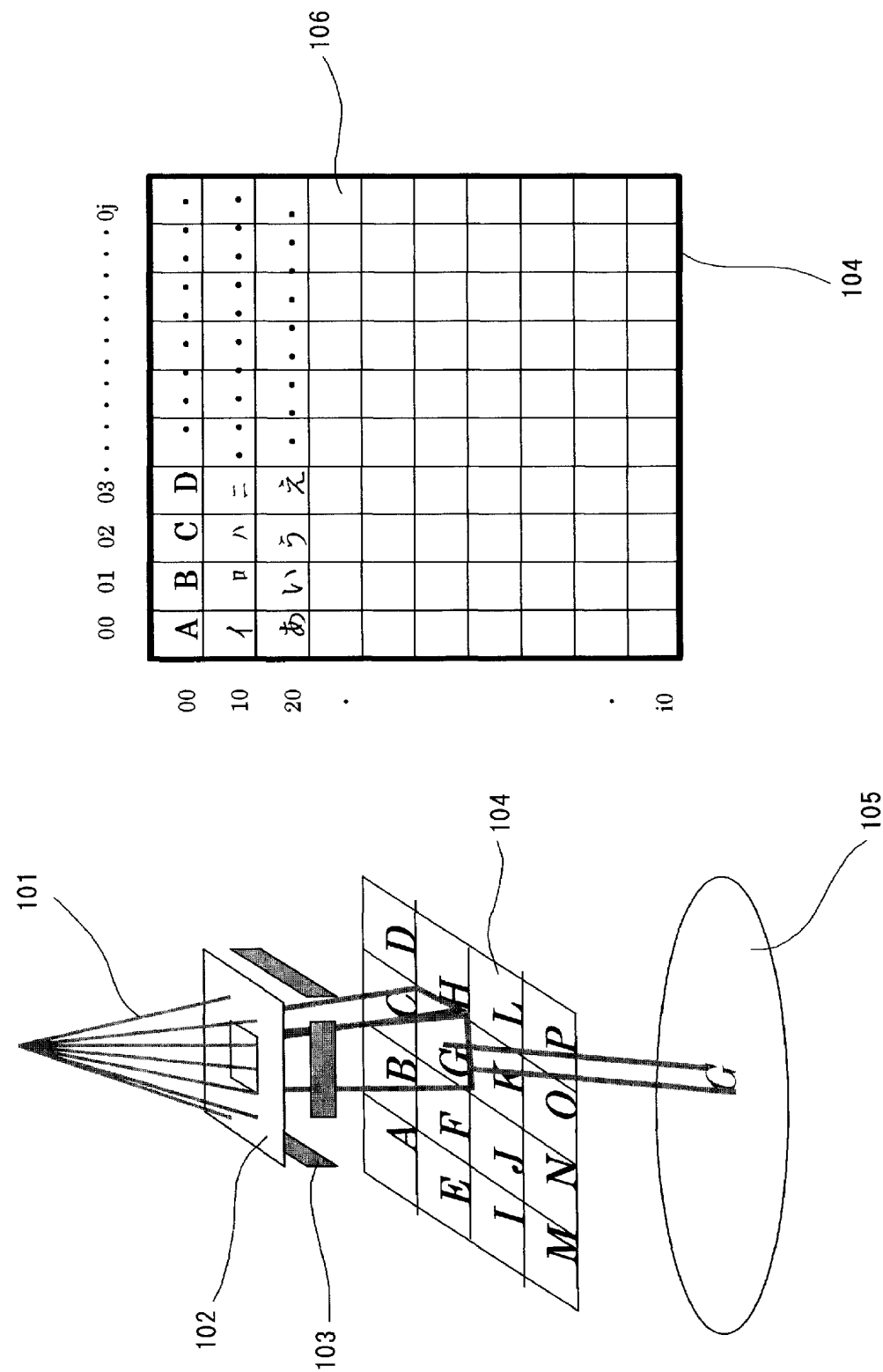
[図11]



[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002047

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/02, G03F1/08, 1/16, G06F17/50, H01L21/027, 21/82

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/02, G03F1/08, 1/16, G06F17/50, H01L21/027, 21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-092250 A (Hitachi, Ltd.), 28 March, 2003 (28.03.03), Par. Nos. [0032] to [0068]; Figs. 1 to 11 & US 2003/0054580 A1 & CN 001409376 A & TW 000552617 B	5, 7 1-4, 6, 8-13, 25
Y A	JP 2001-117214 A (Semiconductor Leading Edge Technologies, Inc.), 27 April, 2001 (27.04.01), Par. Nos. [0002] to [0044]; Figs. 1 to 3 (Family: none)	5-8 1-4, 9-13, 25
Y A	JP 10-079332 A (Matsushita Electric Industrial Co., Ltd.), 24 March, 1998 (24.03.98), Full text; all drawings (Family: none)	5-8 1-4, 9-13, 25

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 May, 2005 (06.05.05)

Date of mailing of the international search report
24 May, 2005 (24.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002047

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-118060 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Par. Nos. [0016] to [0112]; Figs. 1 to 17 & US 2002/0011574 A1	14-19 20, 26 21-25
Y	JP 9-246148 A (Hitachi, Ltd.), 19 September, 1997 (19.09.97), Full text; all drawings (Family: none)	20
X Y A	JP 2002-252159 A (Toshiba Corp.), 06 September, 2002 (06.09.02), Par. Nos. [0027] to [0058], [0110]; Figs. 1 to 7, 25 (Family: none)	23-24 26 25
A	JP 2001-274071 A (Toshiba Corp.), 05 October, 2001 (05.10.01), Full text; all drawings & US 2001-0028991 A1	1-13, 23-26
A	JP 2002-041126 A (Toshiba Corp.), 08 February, 2002 (08.02.02), Full text; all drawings & US 2002-0013930 A1	1-13, 23-26
A	JP 2002-351931 A (Hitachi, Ltd.), 06 December, 2002 (06.12.02), Full text; all drawings (Family: none)	1-13, 23-26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002047

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-13 relate to an integrated circuit manufacturing method in general such as an integrated circuit manufacturing method, an integrated circuit design support program, an integrated circuit design support device, and an integrated circuit design system.

The inventions of claims 14-26 relate to a characteristic block mask and a device and a manufacturing method using the block mask.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/02, G03F1/08, 1/16, G06F17/50, H01L21/027, 21/82

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/02, G03F1/08, 1/16, G06F17/50, H01L21/027, 21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2003-092250 A (株式会社日立製作所) 2003.03.28, 段落番号【0032】-【0068】, 図1-11 & US 2003/0054580 A1 & CN 001409376 A & TW 000552617 B	5, 7 1-4, 6, 8-13, 25
Y A	JP 2001-117214 A (株式会社半導体先端テクノロジーズ) 2001.04.27, 段落番号【0002】-【0044】, 図1-3 (ファミリーなし)	5-8 1-4, 9-13, 25
Y A	JP 10-079332 A (松下電器産業株式会社) 1998.03.24, 全文、全図 (ファミリーなし)	5-8 1-4, 9-13, 25

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 朋一

4M

9733

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2002-118060 A (株式会社東芝) 2002.04.19, 段落番号【0016】 - 【0112】、図 1-17 & US 2002/0011574 A1	14-19 20, 26 21-25
Y	JP 9-246148 A (株式会社日立製作所) 1997.09.19, 全文、全図 (ファミリーなし)	20
X Y A	JP 2002-252159 A (株式会社東芝) 2002.09.06, 段落番号【0027】 - 【0058】 , 【0110】 , 図 1-7, 25 (ファミリーなし)	23-24 26 25
A	JP 2001-274071 A (株式会社東芝) 2001.10.05, 全文、全図 & US 2001-0028991 A1	1-13, 23-26
A	JP 2002-041126 A (株式会社東芝) 2002.02.08, 全文、全図 & US 2002-0013930 A1	1-13, 23-26
A	JP 2002-351931 A (株式会社日立製作所) 2002.12.06, 全文、全図 (ファミリーなし)	1-13, 23-26

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1～13に係る発明は、集積回路の製造方法、集積回路設計支援プログラム、集積回路設計支援装置、集積回路設計システム等の、集積回路の製造方法全体に関するものである。

請求の範囲14～26に係る発明は、特徴のあるブロックマスク及び当該ブロックマスクを利用した装置や製造方法に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。